

(19)日本国特許庁 (JP)

(12) 特許公報 (B1)

(11)特許番号

特許第3201603号

(P3201603)

(45)発行日 平成13年8月27日 (2001.8.27)

(24)登録日 平成13年6月22日 (2001.6.22)

(51)Int.Cl.⁷ 領別記号
 G 09 G 3/28 6 1 1
 3/20 6 2 1

P I
 G 09 G 3/20 6 1 1 A
 3/28 6 2 1 H
 H
 J

請求項の数24(全 82 頁)

(21)出願番号 特願2000-183663(P2000-183663)
 (22)出願日 平成12年6月23日 (2000.6.23)
 審査請求日 平成12年9月5日 (2000.9.5)
 (31)優先権主張番号 特願平11-183715
 (32)優先日 平成11年6月30日 (1999.6.30)
 (33)優先権主張国 日本 (JP)
 (31)優先権主張番号 特願2000-173056(P2000-173056)
 (32)優先日 平成12年6月9日 (2000.6.9)
 (33)優先権主張国 日本 (JP)

早期審査対象出願

(73)特許権者 000005223
 富士通株式会社
 神奈川県川崎市中原区上小田中4丁目1
 番1号
 (72)発明者 岸 智勝
 神奈川県川崎市高津区坂戸3丁目2番1
 号 富士通日立プラズマディスプレイ株
 式会社内
 (72)発明者 坂本 香也
 神奈川県川崎市高津区坂戸3丁目2番1
 号 富士通日立プラズマディスプレイ株
 式会社内
 (74)代理人 100080273
 弁理士 國分 孝悦
 審査官 村田 邦英

最終頁に続く

(54)【発明の名稱】 駆動装置、駆動方法およびプラズマディスプレイパネルの駆動回路

1

(57)【特許請求の範囲】

【請求項1】 表示手段となる容積性負荷に対して所定電圧を印加するマトリクス型平面表示装置の駆動装置において、前記容積性負荷の一端に高レベルの第1の電圧を供給するための第1の信号ラインと、前記容積性負荷の前記一端に前記第1の電圧に対して低レベルの第2の電圧を供給するための第2の信号ラインと、前記容積性負荷の他端に高レベルの第3の電圧を供給するための第3の信号ラインと、前記容積性負荷の前記他端に前記第3の電圧に対して低レベルの第4の電圧を供給するための第4の信号ラインとを備え、

前記第2の信号ラインの電圧を、前記第1および第2の電圧の間であって、両電圧の基準レベルとなる第5の電圧に設定し、且つ、前記第1の信号ラインの電圧を前記第5の電圧に設定する。

2

高レベルの第1の電圧に設定して、前記第1の信号ラインを介して前記高レベルの第1の電圧を前記容積性負荷の前記一端に対して供給するとともに、前記第3の信号ラインの電圧を、前記第3および第4の電圧の間であって、両電圧の基準レベルとなる第6の電圧に設定し、且つ、前記第4の信号ラインの電圧を前記低レベルの第4の電圧に設定して、前記第4の信号ラインを介して前記低レベルの第4の電圧を前記容積性負荷の前記他端に対して供給することにより、前記容積性負荷に対して、前記高レベルの第1の電圧と前記低レベルの第4の電圧との差電圧を印加する第1の状態と、前記第1の信号ラインの電圧を前記基準レベルとなる第5の電圧に設定し、且つ、前記第2の信号ラインの電圧を前記低レベルの第2の電圧に設定して、前記第2の信号ラインを介して前記低レベルの第2の電圧を前記容積性負荷の前記一端に対して供給することにより、前記容積性負荷に対して、前記高レベルの第1の電圧と前記低レベルの第2の電圧との差電圧を印加する第2の状態と、

(2)

特許3201603

3

性負荷の前記一端に対して供給するとともに、前記第4の信号ラインの電圧を前記基準レベルとなる第6の電圧に設定し、且つ、前記第3の信号ラインの電圧を前記高レベルの第3の電圧に設定して、前記第3の信号ラインを介して前記高レベルの第3の電圧を前記容積性負荷の前記他端に対して供給することにより、前記容積性負荷に対して、前記低レベルの第2の電圧と前記高レベルの第3の電圧との差電圧を印加する第2の状態と、が交互に実施されるよう制御されることを特徴とする駆動装置。

【請求項2】 前記第1、第2の信号ラインの間に設け、前記第1の信号ラインから与えられる前記高レベルの第1の電圧と、前記第2の信号ラインから与えられる前記低レベルの第2の電圧とを選択的に前記容積性負荷の一端に印加し、前記容積性負荷を駆動する第1の駆動回路、および前記第3、第4の信号ラインの間に設け、前記第3の信号ラインから与えられる前記高レベルの第3の電圧と、前記第4の信号ラインから与えられる前記低レベルの第4の電圧とを選択的に前記容積性負荷の他端に印加し、前記容積性負荷を駆動する第2の駆動回路の少なくとも一方を備えることを特徴とする請求項1に記載の駆動装置。

【請求項3】 前記高レベルの第1の電圧または前記低レベルの第2の電圧を供給するための第1の電源ラインと前記基準レベルとなる第5の電圧を供給するための第1の基準ラインとの間に直列に接続された第1、第2のスイッチと、前記第1、第2のスイッチの中間に一方の端子が接続されたコンデンサと、

前記コンデンサの他方の端子と前記第1の基準ラインとの間に接続された第3のスイッチと、

前記コンデンサの両端に接続された前記第1、第2の信号ラインとを備え、

前記第1、第2の信号ラインから前記容積性負荷の一端を接続したことを特徴とする請求項1に記載の駆動装置。

【請求項4】 前記コンデンサの両端に接続された前記第1、第2の信号ラインの間に直列に接続された第4、第5のスイッチを備え、

前記第4、第5のスイッチの中間に前記容積性負荷の一端を接続したことを特徴とする請求項3に記載の駆動装置。

【請求項5】 前記高レベルの第3の電圧または前記低レベルの第4の電圧を供給するための第2の電源ラインと前記基準レベルとなる第6の電圧を供給するための第2の基準ラインとの間に直列に接続された第6、第7のスイッチと、

前記第6、第7のスイッチの中間に一方の端子が接続されたコンデンサと、

前記コンデンサの他方の端子と前記第2の基準ラインと

4

の間に接続された第8のスイッチと、

前記コンデンサの両端に接続された前記第3、第4の信号ラインとを備え、前記第3、第4の信号ラインから前記容積性負荷の他端を接続したことを特徴とする請求項3に記載の駆動装置。

【請求項6】 前記コンデンサの両端に接続された前記第3、第4の信号ラインの間に直列に接続された第9、第10のスイッチを備え、

前記第9、第10のスイッチの中間に前記容積性負荷の他端を接続したことを特徴とする請求項5に記載の駆動装置。

【請求項7】 前記高レベルの第1の電圧または前記低レベルの第2の電圧を供給するための第1の電源ラインと前記基準レベルとなる第5の電圧を供給するための第1の基準ラインとの間に直列に接続された第1、第4、第2のスイッチと、

前記第4、第2のスイッチの中間に一方の端子が接続されたコンデンサと、

前記コンデンサの他方の端子と前記第1の基準ラインとの間に接続された第3のスイッチと、

前記第1、第4のスイッチの中間に接続された前記第1の信号ラインと、前記コンデンサの他方の端子に接続された前記第2の信号ラインとの間に接続された第5のスイッチと、

前記第1の信号ラインと前記第5のスイッチとの間に前記容積性負荷の一端が接続されたことを特徴とする請求項1に記載の駆動装置。

【請求項8】 前記高レベルの第1の電圧または前記低レベルの第2の電圧を供給するための第1の電源ラインと前記基準レベルとなる第5の電圧を供給するための第1の基準ラインとの間に直列に接続された第1、第2のスイッチと、

前記第1、第2のスイッチの中間に一方の端子が接続されたコンデンサと、

前記コンデンサの他方の端子と前記第1の基準ラインとの間に直列に接続された第5、第3のスイッチと、

前記コンデンサの一方の端子に接続された前記第1の信号ラインと前記第5、第3のスイッチの中間に接続された前記第2の信号ラインとの間に接続された第4のスイッチとを備え、

前記第4のスイッチと前記第2の信号ラインとの間に前記容積性負荷の一端が接続されたことを特徴とする請求項1に記載の駆動装置。

【請求項9】 前記容積性負荷は複数次走査型のディスプレイパネルであって、アドレス期間中に前記容積性負荷に印加するパルスを発生するスキャンドライバ回路を、前記第3、第4の信号ラインの間に設けたことを特徴とする請求項5に記載の駆動装置。

【請求項10】 前記第1、第2の信号ラインの間に電

(3)

特許3201603

5

力回収路を設けたことを特徴とする請求項3に記載の駆動装置。

【請求項11】 前記第3、第4の信号ラインの間に電力回収路を設けたことを特徴とする請求項5に記載の駆動装置。

【請求項12】 前記容電性負荷はプラズマディスプレイパネルであって、前記第9のスイッチは、アドレス期間中に前記容電性負荷に印加するパルスを発生させるためのスイッチング素子であり、かつ、維持放電期間中に前記容電性負荷に印加するパルスを発生させるためのスイッチング素子であることを特徴とする請求項6に記載の駆動装置。

【請求項13】 前記容電性負荷はプラズマディスプレイパネルであって、前記第10のスイッチは、アドレス期間中に前記容電性負荷に印加するパルスを発生させるためのスイッチング素子であり、かつ、維持放電期間中に前記容電性負荷に印加するパルスを発生させるためのスイッチング素子であることを特徴とする請求項6に記載の駆動装置。

【請求項14】 前記容電性負荷は線順次走査型のディスプレイパネルであって、前記線順次走査型のディスプレイパネルの各表示ライン毎に設けた前記スキャンドライバ回路から成る集積回路を備えたことを特徴とする請求項9に記載の駆動装置。

【請求項15】 前記容電性負荷は線順次走査型およびメモリ型のディスプレイパネルであって、複数の走査電極と複数の共通電極とが交互に配設されてなり。

奇数番目の共通電極を駆動する奇数用共通電極ドライバと、偶数番目の共通電極を駆動する偶数用共通電極ドライバとを備えるとともに。

奇数番目の走査電極を駆動する奇数用走査電極ドライバと、偶数番目の走査電極を駆動する偶数用走査電極ドライバとを備え。

前記奇数用共通電極ドライバおよび前記偶数用共通電極ドライバはそれぞれ前記第1、第2の信号ラインを備え、前記奇数用走査電極ドライバおよび前記偶数用走査電極ドライバはそれぞれ前記第3、第4の信号ラインを備え。

あるタイミングにおいては前記奇数用共通電極ドライバと前記奇数用走査電極ドライバ、および前記偶数用共通電極ドライバと前記偶数用走査電極ドライバとの組み合わせで前記複数の走査電極および複数の共通電極を駆動し、別のタイミングにおいては前記奇数用共通電極ドライバと前記偶数用走査電極ドライバ、および前記偶数用共通電極ドライバと前記奇数用走査電極ドライバとの組み合わせで前記複数の走査電極および複数の共通電極を駆動することにより、

前記共通電極側のドライバと前記走査電極側のドライバとの組合せを交互に切り替えるながら前記容電性負荷に電圧を印加することを特徴とする請求項1に記載の駆動装置

6

置。

【請求項16】 表示手段となる容電性負荷の一端に高レベルの第1の電圧を供給するための第1の信号ラインと、前記容電性負荷の前記一端に前記第1の電圧に対して低レベルの第2の電圧を供給するための第2の信号ラインと、前記容電性負荷の他端に高レベルの第3の電圧を供給するための第3の信号ラインと、前記容電性負荷の前記他端に前記第3の電圧に対して低レベルの第4の電圧を供給するための第4の信号ラインとを備え、前記16容電性負荷に対して所定電圧を印加するマトリクス型平面表示装置の駆動方法において、

前記第2の信号ラインの電圧を、前記第1および第2の電圧の間であって、両電圧の基準レベルとなる第5の電圧とした状態で、前記第1の信号ラインから与えられる前記高レベルの第1の電圧を前記容電性負荷の一端に対して供給するとともに、前記第3の信号ラインの電圧を、前記第3および第4の電圧の間であって、両電圧の基準レベルとなる第6の電圧とした状態で、前記第4の信号ラインから与えられる前記低レベルの第4の電圧を前記容電性負荷の他端に対して供給することにより、前記容電性負荷に対して、前記高レベルの第1の電圧と前記低レベルの第4の電圧との差電圧を印加する第1の印加工程と、

前記第1の信号ラインの電圧を前記基準レベルとなる第5の電圧とした状態で、前記第2の信号ラインから与えられる前記低レベルの第2の電圧を前記容電性負荷の前記一端に対して供給するとともに、前記第4の信号ラインの電圧を前記基準レベルとなる第6の電圧とした状態で、前記第3の信号ラインから与えられる前記高レベルの第3の電圧を前記容電性負荷の前記他端に対して供給することにより、前記容電性負荷に対して、前記低レベルの第2の電圧と前記高レベルの第3の電圧との差電圧を印加する第2の印加工程と、

を交互に実施するようにしたことを特徴とする駆動方法。

【請求項17】 表示手段となる容電性負荷に対して所定電圧を印加するマトリクス型平面表示装置の駆動装置において、

前記容電性負荷の一端に高レベルの第1の電圧を供給するための第1の信号ラインと、前記容電性負荷の前記一端に前記第1の電圧に対して低レベルの第2の電圧を供給するための第2の信号ラインと、前記容電性負荷の他端に高レベルの第3の電圧を供給するための第3の信号ラインと、前記容電性負荷の前記他端に前記第3の電圧に対して低レベルの第4の電圧を供給するための第4の信号ラインとを備え、

前記第2の信号ラインの電圧を、前記第1および第2の電圧の間であって、両電圧の基準レベルとなる第5の電圧に設定し、且つ、前記第1の信号ラインの電圧を前記高レベルの第1の電圧に設定して、前記第1の信号ライ

(4)

特許3201603

7

ンを介して前記高レベルの第1の電圧あるいは前記第2の信号ラインを介して前記基準レベルとなる第5の電圧を前記容積性負荷の前記一端に対して供給するとともに、前記第3の信号ラインの電圧を、前記第3および第4の電圧の間であって、両電圧の基準レベルとなる第6の電圧に設定し、且つ、前記第4の信号ラインの電圧を前記低レベルの第4の電圧に設定して、前記第4の信号ラインを介して前記低レベルの第4の電圧あるいは前記第3の信号ラインを介して前記基準レベルとなる第6の電圧を前記容積性負荷の前記他端に対して供給する第1の状態と、

前記第1の信号ラインの電圧を前記基準レベルとなる第5の電圧に設定し、且つ、前記第2の信号ラインの電圧を前記低レベルの第2の電圧に設定して、前記第2の信号ラインを介して前記低レベルの第2の電圧あるいは前記第1の信号ラインを介して前記基準レベルとなる第5の電圧を前記容積性負荷の前記一端に対して供給するとともに、前記第4の信号ラインの電圧を前記基準レベルとなる第6の電圧に設定し、且つ、前記第3の信号ラインの電圧を前記高レベルの第3の電圧に設定して、前記第3の信号ラインを介して前記高レベルの第3の電圧あるいは前記第4の信号ラインを介して前記基準レベルとなる第6の電圧を前記容積性負荷の前記他端に対して供給する第2の状態と、

が交互に実施されるよう制御されることを特徴とする駆動装置。

【請求項18】 前記第1の信号ラインと第2の信号ラインとの間に、少なくとも2つのコンデンサをそれら相互間に個別の第1のスイッチ手段を介して直列に接続するとともに、前記第1のスイッチ手段の開放状態において前記各コンデンサを所定の電源ラインと基準ラインとの間に並列接続するための第2のスイッチ手段と、前記第1および第2の信号ラインを逐一的に前記基準ラインに接続するための第3のスイッチ手段とを備え。

前記電源ラインから並列接続状態の前記各コンデンサに充電電荷を供給した後、前記各コンデンサを前記第1のスイッチ手段を介して直列状態に接続するとともに、当該直列状態のコンデンサの一端または他端を前記第3のスイッチ手段を介して逐一的に前記基準ラインに接続した状態で、その対向する他端または一端から前記第1または第2の信号ラインを介して前記高レベルの第1の電圧または低レベルの第2の電圧を前記負荷の一端に交互に供給することを特徴とする請求項1に記載の駆動装置。

【請求項19】 放電を実施するための少なくとも一対の電極を備えたプラズマディスプレイパネルを有するプラズマディスプレイ装置の駆動方法において、

第1のレベルの電圧を前記一対の電極のうちの一方に供給するとともに、該第1のレベルの電圧を第1のコンデンサの一方の端子に供給して該第1のレベルの電圧を該

8

第1のコンデンサに充電する第1の工程と、該第1のコンデンサの他方の端子から該第1のレベルの電圧と反対の極性を有する第2のレベルの電圧を出力し、該第2のレベルの電圧を該一対の電極のうちの一方に供給する第2の工程と、

第3のレベルの電圧を前記一対の電極のうちの他方に供給するとともに、該第3のレベルの電圧を第2のコンデンサの一方の端子に供給して該第3のレベルの電圧を該第2のコンデンサに充電する第3の工程と、

10 該第2のコンデンサの他方の端子から該第3のレベルの電圧と反対の極性を有する第4のレベルの電圧を出力し、該第4のレベルの電圧を該一対の電極のうちの他方に供給する第4の工程とを含み、

前記第1の工程および第4の工程を略同時に実施して、該第1のレベルの電圧と該第4のレベルの電圧との電位差にて得られる放電に必要な電圧を前記一対の電極間に印加し、次いで、前記第2の工程および第3の工程を略同時に実施して、該第2のレベルの電圧と該第3のレベルの電圧との電位差にて得られる放電に必要な電圧を前記一対の電極間に印加することを特徴とするプラズマディスプレイ装置の駆動方法。

【請求項20】 前記第1および第2の各工程において、前記第1または第2のレベルの電圧を前記一対の電極のうちの一方に供給した後に、基準電位である第5のレベルの電圧を該一対の電極のうちの一方に供給し、前記第3および第4の各工程において、前記第3または第4のレベルの電圧を前記一対の電極のうちの他方に供給した後に、基準電位である第6のレベルの電圧を該一対の電極のうちの他方に供給することを特徴とする請求項19に記載のプラズマディスプレイ装置の駆動方法。

【請求項21】 表示手段となる容積性負荷の一端に高レベルの第1の電圧を供給するための第1の信号ラインと、前記容積性負荷の前記一端に前記第1の電圧に対して低レベルの第2の電圧を供給するための第2の信号ラインと、前記容積性負荷の他端に高レベルの第3の電圧を供給するための第3の信号ラインと、前記容積性負荷の前記他端に前記第3の電圧に対して低レベルの第4の電圧を供給するための第4の信号ラインとを備え、前記容積性負荷に対して所定電圧を印加するマトリクス型平面表示装置の駆動方法において、

前記第1の信号ラインの電圧を前記高レベルの第1の電圧とし、前記第2の信号ラインの電圧を前記第1および第2の電圧の間であって、両電圧の基準レベルとなる第5の電圧とした状態で前記第1の信号ラインから与えられる前記高レベルの第1の電圧あるいは前記第2の信号ラインから与えられる前記基準レベルとなる第5の電圧を前記容積性負荷の一端に対して供給するとともに、前記第4の信号ラインの電圧を前記低レベルの第4の電圧とし、前記第3の信号ラインの電圧を前記第3および第4の電圧の間であって、両電圧の基準レベルとなる第6

(5)

特許3201603

9

の電圧とした状態で前記第4の信号ラインから与えられる前記低レベルの第4の電圧あるいは前記第3の信号ラインから与えられる前記基準レベルとなる第6の電圧を前記容置性負荷の他端に対して供給する第1の印加工程と。

前記第2の信号ラインの電圧を前記低レベルの第2の電圧とし、前記第1の信号ラインの電圧を前記基準レベルとなる第5の電圧とした状態で前記第2の信号ラインから与えられる前記低レベルの第2の電圧あるいは前記第1の信号ラインから与えられる前記基準レベルとなる第5の電圧を前記容置性負荷の前記一端に対して供給するとともに、前記第3の信号ラインの電圧を前記高レベルの第3の電圧とし、前記第4の信号ラインの電圧を前記基準レベルとなる第6の電圧とした状態で前記第3の信号ラインから与えられる前記高レベルの第3の電圧あるいは前記第4の信号ラインから与えられる前記基準レベルとなる第6の電圧を前記容置性負荷の前記他端に対して供給する第2の印加工程と、を交互に実施するようにしたことを特徴とする駆動方法。

【請求項22】前記高レベルの第1の電圧を供給するための電源に接続される一次側コイルと、両端にコンデンサが接続された二次側コイルとを備えたトランスと、前記基準レベルとなる第5の電圧を供給する基準ラインと前記二次側コイルの一方の端子との間に接続された第1のスイッチと。

前記基準レベルとなる第5の電圧を供給する基準ラインと前記二次側コイルの他方の端子との間に接続された第2のスイッチと。

前記コンデンサの両端に接続された前記第1、第2の信号ラインの間に直列に接続された第3、第4のスイッチとを備え、

前記第3、第4のスイッチの中間から前記容置性負荷の一端を接続することを特徴とする請求項1に記載の駆動装置。

【請求項23】前記コンデンサの両端に接続された前記第3、第4の信号ラインの間に直列に接続された第9、第10のスイッチと備え、

前記スキャンドライバ回路を、前記第9、第10のスイッチを介して前記第3、第4の信号ラインの間に接続することを特徴とする請求項9に記載の駆動装置。

【請求項24】交流駆動型プラズマディスプレイパネルの放電セルを構成する一对の電極にそれぞれ接続されて、基準レベルの電圧から正および負方向に交互に極性反転するパルス電圧波形を互いに逆位相で発生し、前記放電セルに両パルス電圧波形の差電圧として所定の維持パルス電圧を供給するようにした一对の駆動装置を含むプラズマディスプレイパネルの駆動回路において。

前記それぞれの駆動装置は、接地端子を基準として前記

10

所定の維持パルス電圧の略1/2の電圧を出力する單一の電源と、該電源から供給される電圧にてその一端から充電されるコンデンサと、該コンデンサの他端および一端を交互に接地端子に接続するとともに、その一端および他端を交互に前記各電極に接続するスイッチ手段とを含んでなることを特徴とするプラズマディスプレイパネルの駆動回路。

【発明の詳細な説明】

【0001】

10 【発明の属する技術分野】本発明は駆動装置、駆動方法およびプラズマディスプレイパネルの駆動回路に属し、例えば、交流駆動型プラズマディスプレイに用いて好適なものである。

【0002】

【従来の技術】近年、薄型の利点から、CRTに代わってプラズマディスプレイパネル(Plasma Display Panel: PDP)、液晶ディスプレイ(Liquid Crystal Display: LCD)、エレクトロルミネッセンスディスプレイ(ElectroLuminescence Display: ELD)等の平面ア

20 トリクス型の表示装置の要求が増大している。特に、交流駆動型PDPは、自己発光型の表示装置であるため視認性が良く、薄型で大画面表示が可能であることから、CRTを凌ぐ高画質化が可能な次世代の表示装置として注目されている。

【0003】従来から良く知られている交流駆動型PDPには、2本の電極で選択放電(アドレス放電)および維持放電を行う2電極型と、第3の電極を利用してアドレス放電を行う3電極型がある。さらに、この3電極型においても、維持放電を行う第1の電極と第2の電極とが配置されている基板に第3の電極を形成する場合と、対向するもう1つの基板に当該第3の電極を形成する場合とがある。

【0004】上記した各タイプのPDP装置は、何れも原理は同一であるので、以下では、維持放電を行う第1および第2の電極を第1の基板に設けるとともに、これとは別に、当該第1の基板と対向する第2の基板に第3の電極を設けたPDP装置についてその構成例を説明する。

【0005】図99は、交流駆動型PDP装置の全体構成を示す図である。図99において、交流駆動型PDP1には、その一方の面に互いに平行な走査電極Y1～Ynおよび共通電極Xが設けられるとともに、対向面にこれらの電極Y1～Yn、Xと直交する方向にアドレス電極A1～Amが設けられている。共通電極Xは、各走査電極Y1～Ynに対応してこれに接近して設けられ、一端が互いに共通に接続されている。

【0006】上記共通電極Xの共通端はX側回路2の出力端に接続され、各走査電極Y1～YnはY側回路3の出力端に接続されている。また、アドレス電極A1～Amはアドレス側回路4の出力端に接続されている。X側

(6)

特許3201603

11

回路2は放電を繰り返す回路から成り、Y側回路3は浪湧欠走査する回路と放電を繰り返す回路とから成る。また、アドレス側回路4は、表示すべき列を選択する回路から成る。これらのX側回路2、Y側回路3およびアドレス側回路4は、制御回路5からの制御信号により制御される。すなわち、アドレス側回路4とY側回路3内の線順次走査する回路によりどこのセルを点灯させるかを決め、X側回路2およびY側回路3の放電を繰り返すことによって、PDPの表示動作を行う。

【0007】制御回路5は、外部からの表示データD、表示データDの読み込みタイミングを示すクロックCLK、水平同期信号HSおよび垂直同期信号VSに基づいて上記制御信号を生成し、X側回路2、Y側回路3およびアドレス側回路4に供給する。

【0008】図100(a)は、1画素である第1行第j列のセルCijの断面構成を示す図である。図100(a)において、共通電極Xおよび走査電極Y1は、前面ガラス基板11上に形成されている。その上には、放電空間17に対し絶縁するための誘電体層12が被覆されるとともに、更にその上にMgO(酸化マグネシウム)保護膜13が被覆されている。

【0009】一方、アドレス電極Ajは、前面ガラス基板11と対向して配置された背面ガラス基板14上に形成され、その上には誘電体層15が被覆され、更にその上に蛍光体が被覆されている。MgO保護膜13と誘電体層15との間の放電空間17には、Ne+Xeペニングガス等が封入されている。

【0010】図100(b)は、交流駆動型PDPの容積Cpについて説明するための図である。図100(b)に示すように、交流駆動型PDPには、放電空間17、共通電極Xと走査電極Yとの間、および前面ガラス基板11にそれぞれ容積成分Ca、Cb、Ccが存在し、これらの合計によってセル1つ当たりの容積Cp cellが決まる(Cp cell=Ca+Cb+Cc)。全てのセルの容積Cp cellの合計がパネル容積Cpである。

【0011】また、図100(c)は、交流駆動型PDPの発光について説明するための図である。図100(c)に示すように、リブ16の内面には、赤、青、黄色の蛍光体18がストライプ状に各色毎に配列、塗付されており、共通電極Xおよび走査電極Yの間の放電によって蛍光体18を励起して発光するようになっている。

【0012】図101は、交流駆動型PDPの駆動方法の一例を示す電圧波形図であり、1フレームを構成する複数のサブフィールドのうちの1サブフィールド分を示している。1つのサブフィールドは、全面書き込み期間および全面消去期間から成るリセット期間と、アドレス期間と、維持放電期間とに区分される。

【0013】リセット期間においては、まず全ての走査電極Y1～Ynがグランドレベル(0V)にされ、これと同時に共通電極Xに電圧Vs+Vw(約400V)か

12

ら成る全面書き込みパルスが印加される。このときのアドレス電極A1～Amの電位は、全てVa w(約100V)である。この結果、以前の表示状態に問わらず、全表示ラインの全セルで放電が行われ、壁面荷が形成される。

【0014】次に、共通電極Xとアドレス電極A1～Amの電位が0Vとなることにより、全セルにおいて壁面荷自身の電圧が放電開始電圧を越えて放電が開始される。この放電では、電極間の電位差がないため、壁面荷が形成されることではなく、空間電荷は自己中和して放電が終息する。いわゆる自己消去放電である。この自己消去放電によって、パネル内の全セルの状態が壁面荷のない均一な状態となる。このリセット期間は、前のサブフィールドにおける各セルの点灯状態に問わらず全てのセルを同じ状態にする作用があり、これによって次のアドレス(書き込み)放電を安定して行うことができるようになる。

【0015】次に、アドレス期間において、表示データに応じて各セルのON/OFFを行うために、線順次でアドレス放電が行われる。すなわち、まず第1表示ラインに相当する走査電極Y1に-Vyレベル(約-150V)、他の表示ラインに相当する走査電極Y2～Ynに-Vy cレベル(約-50V)の電圧が印加されるとともに、各アドレス電極A1～Am中の維持放電を起こすセル、すなわち点灯させるセルに対応するアドレス電極Ajに、電圧Va(約50V)のアドレスパルスが選択的に印加される。

【0016】この結果、点灯させるセルのアドレス電極Ajと走査電極Y1との間で放電が起り、これをブライミング(種火)として、電圧Vx(約50V)の共通電極Xと走査電極Y1との放電に即移行する。これにより、選択セルの共通電極Xおよび走査電極Y1の上のMgO保護膜13面に、次の維持放電が可能な層の壁面荷が蓄積される。以下、他の表示ラインに相当する走査電極Y2～Ynについても同様に、選択セルの走査電極には-Vyレベルの電圧が順次印加され、非選択セルの残りの走査電極には-Vy cレベルの電圧が印加されることにより、全表示ラインにおいて新たな表示データの書き込みが行われる。

【0017】その後、維持放電期間になると、走査電極Y1～Ynと共通電極Xとに電圧Vs(約200V)から成る維持パルスが交互に印加されて維持放電が行われ、1サブフィールドの映像表示が行われる。なお、この維持放電期間の長短、つまり維持パルスの回数あるいは周波数によって、映像の輝度が決定される。

【0018】なお、交流駆動型PDPにおいて、共通電極X、走査電極Y間の面にてガス放電を開始する電圧Vtは、一般的に220V～260Vである。アドレス期間に、例えば表示させたいセルにおいてアドレス電極Ajと走査電極Yとの間に電圧を印加してガス放電させ、こ

(7)

特許3201603

13

れをトリガとして共通電極Xと走査電極Yの間に放電させ、そのセル内の共通電極Xと走査電極Y上に壁電荷を残す。

【0019】次に、維持放電期間において、アドレス期間にて生成された壁電荷 V_{wall} と共通電極Xおよび走査電極Y間に印加する維持パルス電圧 V_s により、 $|V_s + V_{wall}|$ を V_f 以上にすることにより、ガス放電を行うことができる。電圧 V_s の値は放電開始電圧 V_f を超えないものとし、 $|V_s| < |V_f| < |V_s + V_{wall}|$ となる電圧値を V_s とする。

【0020】なお、共通電極Xと走査電極Yとの間でガス放電が行われると、そのセル内の共通電極Xと走査電極Y上の壁電荷は、それまでとは逆の極性の壁電荷となり、ガス放電を収束させる。次に、共通電極Xと走査電極Yとの間にそれまでとは逆極性の維持パルス電圧 V_s を印加することにより、共通電極Xと走査電極Y上に形成された壁電荷を利用して、再びガス放電が行われる。以上の動作を繰り返し行うことにより、ガス放電を繰り返し行うことができる。

【0021】交流駆動型PDPの駆動方法の例としては、以上のようにリセット期間においてパネル内の全セルの壁電荷を消去し、次のアドレス期間において表示セルを選択的に放電させて壁電荷を蓄積させる「書き込みアドレス方式」の他に、これとは逆に、リセット期間においてパネル内の全セルに壁電荷を蓄積し、次のアドレス期間において非表示セルを選択的に放電させて壁電荷を消去することによって表示セルの壁電荷のみを残す「消去アドレス方式」がある。

【0022】図102は、従来のPDP装置における駆動装置の一部構成例を示す図である。図102において、負荷20は、1つの共通電極Xと1つの走査電極Yとの間に形成されているセルの合計の容置である。負荷20には、共通電極Xおよび走査電極Yが形成されており、X側回路2およびY側回路3により図101で説明したような各パルス電圧が印加される。

【0023】X側回路2は、電源回路21と、電力回収回路22と、サステナ回路23とを備える。上記電源回路21は、維持パルス電圧 V_s の電源ラインに接続されたダイオードD1と、書き込み電圧 V_w の電源ラインとグランド(GND)との間に直列に接続されたトランジスタTr1、Tr2と、上記2つのトランジスタTr1、Tr2の共通ドレインと上記ダイオードD1の出力との間に接続されたコンデンサC1とを備えて構成される。

【0024】リセット期間において全面書き込みパルスを共通電極Xに印加するときは、トランジスタTr1がON、トランジスタTr2がOFFとなることにより、ダイオードD1を通過した維持パルス電圧 V_s と書き込み電圧 V_w とが加算されてサステナ回路23に供給される。また、維持放電期間において維持パルスを共通電極

14

Xに印加するときは、トランジスタTr1がOFF、トランジスタTr2がONとなることにより、ダイオードD1を通過した維持パルス電圧 V_s がそのままサステナ回路23に供給される。

【0025】サステナ回路23は、トランジスタTr5およびダイオードD5が並列接続されたスイッチ回路と、これに直列に接続される2つのダイオードD7、D8と、更にこれに直列に接続されるトランジスタTr6およびダイオードD6が並列接続されたスイッチ回路とを備える。そして、上記2つのダイオードD7、D8の間から負荷20の共通電極Xへの接続がなされている。

【0026】上記トランジスタTr5がON、トランジスタTr6がOFFの状態では、上記電源回路21より供給された維持パルス電圧 V_s もしくは全面書き込みパルス電圧 $V_s + V_w$ が共通電極Xに印加される。逆に、上記トランジスタTr5がOFF、トランジスタTr6がONの状態では、共通電極Xの印加電圧はグランドレベル(0V)となる。

【0027】また、電力回収回路22は、PDPの容置負荷20から上記2つのダイオードD7、D8を介して接続される2つのコイルL1、L2と、一方のコイルL1に直列に接続されるダイオードD3およびトランジスタTr3と、もう一方のコイルL2に直列に接続されるダイオードD4およびトランジスタTr4と、上記2つのトランジスタTr3、Tr4の共通端子とグランドとの間に接続されるコンデンサC2とを備える。

【0028】上記容置負荷20と、2つのダイオードD7、D8を介して接続される2つのコイルL1、L2とにより、2系統の直列共振回路が構成される。すなわち、この電力回収回路22は、2系統のL-C共振回路を持つものであり、コイルL1と容置負荷20との共振によってパネルに供給した電荷を、コイルL2と容置負荷20との共振によって回収するものである。

【0029】一方、Y側回路3は、スキャンドライバ31と、サステナ回路及び電源回路32と、電力回収回路33とを備える。スキャンドライバ31は、直列接続された2つのトランジスタTr7、Tr8を備える。これら2つのトランジスタTr7、Tr8の間から負荷20の走査電極Yへの接続がなされ、後述する電源回路32より供給されるスキャンパルス電圧-Vy、非選択パルス電圧-Vscもしくは維持パルス電圧Vsが走査電極Yに印加される。

【0030】上記サステナ回路及び電源回路32は、スキャンパルス電圧-Vyの電源ラインに接続されたトランジスタTr9、Tr10と、非選択パルス電圧-Vscの電源ラインに接続されたトランジスタTr11およびダイオードD9と、維持パルス電圧Vsの電源ラインに接続されたトランジスタTr12と、グランドに接続されたリード制御用のトランジスタTr13と、上記スキャ

(8)

特許3201603

15

ヤンバルス電圧-Vyおよび非選択バルス電圧-Vscの電源ラインとGNDラインを切り離すためのトランジスタTr14およびダイオードD14とを備えて構成される。

【0031】このサステナ回路及び電源回路32およびスキャンドライバ31が備えるそれぞれのトランジスタTr7～Tr14のON/OFFを適当に制御することにより、図101に示したようにスキャンバルス電圧-Vy、非選択バルス電圧-Vscもしくは維持バルス電圧Vsが走査電極Yに印加される。

【0032】また、電力回收回路33は、容積負荷20から上記2つのトランジスタTr7、Tr8等を介して接続される2つのコイルL3、L4と、一方のコイルL3に直列に接続されるダイオードD12およびトランジスタTr15と、もう一方のコイルL4に直列に接続されるダイオードD13およびトランジスタTr16と、上記2つのトランジスタTr15、Tr16の共通端子とグランドとの間に接続されるコンデンサC3とを備える。

【0033】この電力回收回路33も、2系統のL-C共振回路を持ち、コイルL4と容積負荷20との共振によって容積負荷20に供給した電荷を、コイルL3と容積負荷20との共振によって回収するものである。

【0034】図103は、従来のY側回路3内の線順次走査回路およびX側回路2およびY側回路3内の放電の繰り返し用回路の構成例を示す図である。図103に示すように、共通電極X側のスイッチSW1、SW2は、並列に複数のFETが接続されて構成されている。スイッチSW1は電源Vsに接続されている。また、共通電極X側には、コイルL1、L2、スイッチSW3、SW5、SW6およびコンデンサC1を含む電力回收回路を備えている。さらに、電源Vaxと共に共通電極Xとの間にスイッチSW7が接続されている。

【0035】一方、走査電極Y側では、スイッチSW2、SW21を含むスキャンドライバが走査電極Yに接続され、当該スキャンドライバのスイッチSW20側に、スイッチSW18を介して電源Vscが接続されるとともに、スイッチSW11が接続されている。また、スキャンドライバのスイッチSW21側には、スイッチSW16、SW17を介して電源(-Vy)が接続されるとともに、スイッチSW19を介してグランドに接続されている。さらに、スイッチSW21側には、電源Vsとの間にダイオードD1およびスイッチSW10、SW15が図に示すように接続されている。

【0036】また、当該スキャンドライバのスイッチSW20側に設けられたダイオードD2と、スキャンドライバのスイッチSW21側に設けられたスイッチSW15によって、線順次走査用(アドレス用)の回路と、放電の繰り返し用(サステナ用)の回路とを分離するためのA/S分離回路が構成されている。また、走査電極Y

16

側にも、コイルL3、L4、スイッチSW12、SW13、SW14およびコンデンサC2から成る電力回收回路が備えられている。

【0037】図104は、上記図103に示す回路で必要な高電圧の電源の構成例を示す図である。図104に示すように、電圧Vs、Vax、Vy、Vscの値として、それぞれ180V、50V、-180V、-80Vの高電圧が用いられる。

【0038】図105は、上記図103に示す回路の動作を示すタイミングチャートである。走査期間において、走査電極Y側のスイッチSW16、SW17、SW18をONとすることにより、スキャンドライバの両端に電圧Vsc(=100V)を印加する。また、スイッチSW21をONとすることにより、走査対象の1本の走査電極Yに電圧(-Vy=-180V)を印加し、その他の走査電極YにはスイッチSW20をONとすることにより、電圧(Vsc-Vy=-80V)を印加する。

【0039】走査対象の1本の走査電極Yに対する-180Vのスキャンバルスと、複数のアドレス電極Aとの交点において、例えば表示する場合、アドレス電極Aに印加された電圧Vax(=60V)によってガス放電を行う。このアドレス電極Aおよび走査電極Yとの間のガス放電をトリガにして、共通電極X(スイッチSW7をONにして電圧Vaxを印加)と、走査電極Y(電圧-180Vを印加)との間で更に放電を起こし、図100に示した共通電極Xおよび走査電極Y上の誘導体層12(MgO保護面13を含む)上に、印加電圧と極性の異なる電荷を形成する。この動作を全ての走査電極Yに30対して行う。

【0040】A/S分離回路は、電圧(-Vy)がグランドレベルよりも低いので、ダイオードD1とスイッチSW16がONによる短絡を防ぐため、および電圧Vsがグランドレベルよりも低いので、スイッチSW18とスイッチSW11に寄生するダイオードとの短絡を防ぐために設けている。上記動作中はスイッチSW15をOFFにしている。スイッチSW15の両端には180Vの電圧が印加される。

【0041】維持放電期間において、走査電極Y側のスイッチSW12、SW15をONにし、共通電極X側のスイッチSW2をONにする。これにより、片側が常にグランドに接続されたコンデンサC2を電源として、コイルL3とPDPパネルの容積CpとのL-C共振が行われ、走査電極Y側の電圧がVs付近まで持ち上げられる。次に、電圧をVsまで持ち上げるためにスイッチSW10をONにし、走査電極Yの印加電圧をVsとする。この際、OFFとなっているスイッチSW11の両端には電圧Vs(=180V)が印加される。

【0042】これにより、共通電極Xおよび走査電極Yの間に印加された電圧Vsと、上述の走査期間によって

(9)

特許3201603

17

生成された壁電荷による電圧とがプラスされ、ガス放電を開始する。そのときの電流は、スイッチSW10, SW15, SW2に流れる。このとき、上述のごとく壁電荷が再度形成される。

【0043】次に、走査電極Y側のスイッチSW10, SW12をOFF、スイッチSW13をONにすることにより、片側が常にグランドに接地されたコンデンサC2を電源として、コイルL4とPDPパネルの容量CpとのL-C共振を行い、走査電極Y側の電圧をグランドレベルまで立ち下げる。次に、電圧をグランドレベルまで立ち下げるためにスイッチSW11をONにし、走査電極Yの印加電圧をグランドレベルとする。この際、OFFとなっているスイッチSW10の両端には電圧Vs (= 180V) が印加される。

【0044】次に、共通電極XのスイッチSW3をONにすることにより、片側が常にグランドに接地されたコンデンサC1を電源として、コイルL1とPDPパネルの容量CpとのL-C共振を行い、共通電極X側の電圧をVs付近まで持ち上げる。次に、電圧をVsまで持ち上げるためにスイッチSW1をONにし、共通電極Xの印加電圧をVsとする。この際、OFFとなっているスイッチSW2の両端には電圧Vs (= 180V) が印加される。

【0045】これにより、共通電極Xおよび走査電極Yの間に印加された電圧Vsと、先ほど生成された壁電荷による電圧とがプラスされ、ガス放電を開始する。そのときの電流は、スイッチSW1, SW11に流れる。このとき、上述のごとく壁電荷が再度形成される。

【0046】次に、共通電極X側のスイッチSW1, SW3をOFF、スイッチSW6をONにすることにより、片側が常にグランドに接地されたコンデンサC1を電源として、コイルL2とPDPパネルの容量CpとのL-C共振を行い、共通電極X側の電圧をグランドレベルまで立ち下げる。次に、電圧をグランドレベルまで立ち下げるためにスイッチSW2をONにし、共通電極Xの印加電圧をグランドレベルとする。この際、OFFとなっている共通電極X側のスイッチSW1および走査電極Y側のスイッチSW10の両端には、電圧Vs (= 180V) が印加される。

【0047】

【発明が解決しようとする課題】駆動装置が備える種々の素子の耐圧は、素子に印加されるパルスの最大電圧により決定される。この場合、上記従来の駆動装置は、各電源ラインから供給される固定された電圧を負荷に対して印加するように構成されており、例えばX, Y電極の一方をグランドレベルに落とし、他方に固定電圧を印加するようになっていた。そのため、駆動装置内の各素子には固定電圧分の大きな耐圧を備えることが必要とされていた。

【0048】特に、図102に示した構成の場合、X側

18

回路2内のサステナ回路23を構成する各素子は、全面書き込みパルス電圧Vs + Vw (約400V) 分もの非常に大きな耐圧が必要となる。そのため、十分な耐圧を確保するために高価で大きいFET等のスイッチ素子を使用する必要があり、回路構成が複雑になるとともに、製造コストが非常に高くなるという問題があった。

【0049】また、図103に示した構成の場合、スイッチSW1, SW2, SW10, SW11, SW15を構成するFETの耐圧は、Vs以上の大きな電圧が必要になる。また、これらのスイッチのFETは、ガス放電電流を扱うスイッチであり、ガス放電を安定的に行うために、低いON電圧が要求される。ところが、一般的にFETは、耐圧が高いとON電圧が大きくなってしまう (例えば耐圧2倍の場合、2の3乗～4乗に比例)。そのため、PDPを安定的に駆動するためには、ガス放電電流を扱うスイッチSW1, SW2, SW10, SW11, SW15では、FETをそれぞれ並列に設置し、ON電圧を小さくする必要がある。したがって、耐圧が高いと、FETのコストが高くなるとともに、それを更に複数設けることにより、更にコストが高くなってしまうという問題が生じる。また、図103の回路にて図105のような駆動波形を実現するためには、4種類の高圧電源が必要となり、コストが高くなるという問題があった。

【0050】また、負荷に対して印加される固定電圧は非常に大きなものであり、そのため、負荷の容量に充放電を行う際に非常に大きな電力ロスを生じてしまうという問題もあった。

【0051】本発明は、このような問題を解決するためには成されたものであり、駆動装置が備える各素子の耐圧を低く抑えることができるようになり、それによって回路構成の簡素化および製造コストの低減化を実現できるようになりますことを目的とする。また、本発明は、負荷の容量に充放電を行う際の消費電力を小さくすることができるようになりますことを目的としている。

【0052】

【課題を解決するための手段】本発明の駆動装置は、容量性負荷の一端に高レベルの第1の電圧を供給するための第1の信号ラインと、前記容量性負荷の前記一端に前記第1の電圧に対して低レベルの第2の電圧を供給するための第2の信号ラインと、前記容量性負荷の他端に高レベルの第3の電圧を供給するための第3の信号ラインと、前記容量性負荷の前記他端に前記第3の電圧に対して低レベルの第4の電圧を供給するための第4の信号ラインとを備え、前記第2の信号ラインの電圧を、前記第1および第2の電圧の間であって、両電圧の基準レベルとなる第5の電圧に設定し、且つ、前記第1の信号ラインの電圧を前記高レベルの第1の電圧に設定して、前記第1の信号ラインを介して前記高レベルの第1の電圧を前記容量性負荷の前記一端に対して供給するとともに、

(10)

特許3201603

19

前記第3の信号ラインの電圧を、前記第3および第4の電圧の間であって、両電圧の基準レベルとなる第6の電圧に設定し、且つ、前記第4の信号ラインの電圧を前記低レベルの第4の電圧に設定して、前記第4の信号ラインを介して前記低レベルの第4の電圧を前記容電性負荷の前記他端に対して供給することにより、前記容電性負荷に対して、前記高レベルの第1の電圧と前記低レベルの第4の電圧との差電圧を印加する第1の状態と、前記第1の信号ラインの電圧を前記基準レベルとなる第5の電圧に設定し、且つ、前記第2の信号ラインの電圧を前記低レベルの第2の電圧に設定して、前記第2の信号ラインを介して前記低レベルの第2の電圧を前記容電性負荷の前記他端に対して供給するとともに、前記第4の信号ラインの電圧を前記基準レベルとなる第6の電圧に設定し、且つ、前記第3の信号ラインの電圧を前記高レベルの第3の電圧に設定して、前記第3の信号ラインを介して前記高レベルの第3の電圧を前記容電性負荷の前記他端に対して供給することにより、前記容電性負荷に対して、前記低レベルの第2の電圧と前記高レベルの第3の電圧との差電圧を印加する第2の状態と、が交互に実施されるよう制御されることを特徴とする。

【0053】本発明は上記技術手段より成るので、駆動装置内の各素子にかかる電圧は、最大でも、第1又は第2の電圧と、基準レベルである第5の電圧との電位差、或いは、第3又は第4の電圧と、基準レベルである第6の電圧との電位差、の何れかとなり、各素子の耐圧を従来に比べて低く抑えることが可能となる。

【0054】また、容電性負荷に印加すべき電圧は、容電性負荷の両端から選択的に印加される第1～第4の電圧により形成される差電圧にて供給されるため、容電性負荷の一端のみから大電圧を印加していた従来に比べて、消費電力を小さくすることが可能となる。

【0055】

【発明の実施形態】以下、本発明の一実施形態を図面に基づいて説明する。図1は、本実施形態による駆動装置の構成例を示す図であり、ここでは本発明の要素的特徴のみを示している。この図1に示す本実施形態の駆動装置は、例えば交流駆動型PDP装置等の平面表示装置に適用することが可能であり、その場合の全体構成および1つのセルの断面構成は、図9～10に示したようになっている。

【0056】図1において、42はA/D変換器であり、AC電源41から供給される交流の電源電圧をA/D変換して直流の電源電圧を発生する。このとき、A/D変換器42は、例えば、維持パルス電圧Vsの半分の電圧(Vs/2)を発生する。

【0057】43は電源回路であり、上記A/D変換器42から供給される電圧(Vs/2)を用いて、正負の電圧(+Vs/2, -Vs/2)を切り替えて出力する。また、44はドライバ回路であり、上記電源回路4

20

3から供給される電源電圧(±Vs/2)を負荷20に印加する。

【0058】上記電源回路43およびドライバ回路44との間は、第1の信号ラインOUTAと第2の信号ラインOUTBにより接続されている。上記電源回路43およびドライバ回路44は、PDPのパネルに相当する負荷20の共通電極X側に接続されるものであり、図9～9のX側回路2を構成するものである。

【0059】また、43'は電源回路、44'はドライバ回路であり、上記電源回路43およびドライバ回路44と同様の構成を含む。これらの電源回路43'およびドライバ回路44'との間は、第3の信号ラインOUTA'と第4の信号ラインOUTB'により接続されている。これらの電源回路43'およびドライバ回路44'は、負荷20の走査電極Y側に接続されるものであり、図9～9のY側回路3を構成するものである。

【0060】本実施形態では、上記A/D変換器42より出力される電源電圧(Vs/2)および接地電圧を、共通電極X用の電源回路43と走査電極Y用の電源回路43'との両方に供給するようしている。すなわち、2つの電源回路43, 43'で1つのA/D変換器42を共有している。

【0061】上記のように構成した駆動装置の動作は、以下の通りである。例えば、維持放電期間において、共通電極X用の電源回路43は、第1の信号ラインOUTAに対して電圧(+Vs/2, 0)を、第2の信号ラインOUTBに対して電圧(0, -Vs/2)をそれぞれ交互に outputする。このとき走査電極Y用の電源回路43'は、第3の信号ラインOUTA'に対して電圧(0, +Vs/2)を、第4の信号ラインOUTB'に対して電圧(-Vs/2, 0)を共通電極X用の電源回路43とは逆相で、それぞれ交互に outputする。

【0062】そして、共通電極X用のドライバ回路44は、第1の信号ラインOUTA、第2の信号ラインOUTBに出力された上記電圧を出力ラインOUTCに出力し、負荷20に印加する。また、走査電極Y用のドライバ回路44'は、第3の信号ラインOUTA'、第4の信号ラインOUTB'に出力された上記電圧を、出力ラインOUTC'を介して負荷20に印加する。

【0063】これにより、負荷20の共通電極Xに第1の信号ラインOUTAの電圧(+Vs/2)が outputラインOUTCを介して印加されるときには、走査電極Yには、第4の信号ラインOUTB'の電圧(-Vs/2)が outputラインOUTC'を介して印加される。逆に、負荷20の共通電極Xに第2の信号ラインOUTBの電圧(-Vs/2)が outputラインOUTCを介して印加されるときには、走査電極Yには、第3の信号ラインOUTA'の電圧(+Vs/2)が outputラインOUTC'を介して印加される。

【0064】つまり、本実施形態では、共通電極Xおよ

(11)

特許3201603

21

び走査電極Yのそれぞれに印加する電圧 ($\pm V_s/2$) は、互いに位相が反転するように印加する。このようにすることにより、共通電極Xと走査電極Y間の電位差を、維持パルスと同じ電圧 V_s とすることができる。図101の維持放電期間に示した状態（共通電極Xと走査電極Yに維持パルス電圧 V_s を交互に印加する状態）と同様の状態を作りだすことができる。

【0065】この場合、電源回路43、43'およびドライバ回路44、44'に印加されている電圧の絶対値は、最大でも $V_s/2$ である。したがって、これらの回路内に備えられる各素子の耐圧は $V_s/2$ とすれば良く、耐圧を従来の半分に抑えることができる。これにより、構成が小さく安価な素子を用いることができ、回路構成の簡素化と製造コストの低減を実現することができる。

【0066】また、本実施形態の駆動装置によれば、負荷に印加すべき電圧は最大でも $V_s/2$ であり、 V_s の半分の電圧で良いため、負荷に電圧を印加する周期が従来の2倍となることによる消費電力の増加分を考慮しても、 V_s そのものを負荷2りに印加していた従来に比べて全体として電力のロスを小さくすることができる。

【0067】また、本実施形態の駆動装置によれば、1つのA/D電源からの出力電圧に基づいて正負の電源電圧 ($\pm V_s/2$) を発生させることができる。単純に正負の電源電圧を発生させようとすると、正電圧用の電源および負電圧用の電源をそれぞれ用意する必要があるが、本実施形態では1つのA/D電源を設けるだけで済む。さらに、本実施形態では、共通電極X側と走査電極Y側と1つのA/D電源を共有しているので、回路規模を更に小さくすることができる。

【0068】なお、この図1の例では、共通電極Xに印加する電圧の絶対値と走査電極Yに印加する電圧の絶対値と同じ（共に $V_s/2$ ）である場合について説明したが、負荷2りの両端に電圧 V_s を印加するのであれば、共通電極Xに印加する電圧の絶対値と走査電極Yに印加する電圧の絶対値とは必ずしも同じでなくとも良い。また、A/D変換器42から電源回路43、43'に供給する電源電圧は、必ずしも正の電圧である必要もない。

【0069】以下に、上記図1に示した電源回路43、43'およびドライバ回路44、44'の具体的な構成例について説明する。

【0070】（第1の実施形態）図2は、第1の実施形態による駆動装置の構成例を示す図であり、図1と同じ機能ブロックには同じ符号を付している。なお、上述したように、共通電極X用の電源回路43と走査電極Y用の電源回路43'、および共通電極X用のドライバ回路44と走査電極Y用のドライバ回路44'はそれぞれ同様の構成を含むので、ここでは共通電極X側の構成のみを代表として示している。

22

【0071】図2に示すように、電源回路43は、コンデンサC1と、3つのスイッチSW1、SW2、SW3とを備える。また、上記ドライバ回路44は、2つのスイッチSW4、SW5を備える。

【0072】上記電源回路43内の2つのスイッチSW1、SW2は、図1のA/D変換器42より発生される電圧 ($V_s/2$) の電源ラインとグランド (GND) との間に直列に接続される。上記2つのスイッチSW1、SW2の中間からはコンデンサC1の一方の端子が接続され、このコンデンサC1のもう一方の端子とGNDとの間に、残りのスイッチSW3が接続される。

【0073】さらに、上記ドライバ回路44内の2つのスイッチSW4、SW5は、上記電源回路43内のコンデンサC1の両端に直列に接続される。そして、負荷2りは、上記スイッチSW4、SW5の中間から接続される。

【0074】以下に、上記図2のように構成した駆動装置の動作例を、図3を用いて説明する。図3は、本実施形態の駆動装置による維持放電期間における駆動波形の

20 詳細例を示すタイムチャートである。図3に示すように、共通電極X側では、最初に2つのスイッチSW1、SW3がONとなり、残りのスイッチSW2、SW4、SW5はOFFとなる。このとき、第1の信号ラインOUTAの電圧は、A/D変換器42よりスイッチSW1を介して与えられる電圧レベル ($+V_s/2$) となり、第2の信号ラインOUTBの電圧はグランドレベルのままである。そして、これから少し遅れて次のタイミングでスイッチSW4がONとなるとともに、走査電極Y側のスイッチSW4'、SW2'がONとなることにより、第1の信号ラインOUTAの電圧 ($+V_s/2$) が出力ラインOUTCを介して負荷2りに印加される。なお、走査電極Y側のスイッチSW4'、SW2'がONとなるのは、共通電極Xと走査電極Yとの間に ($V_s/2$) の電圧を印加するためである。

30 【0075】また、この段階では、スイッチSW1、SW3がONとなってコンデンサC1が電源に接続されることとなるので、当該コンデンサC1には、A/D変換器42からスイッチSW1、SW3によって与えられる電圧 ($V_s/2$) に応じた電荷が蓄積される。

40 【0076】次のタイミングでは、スイッチSW4がOFFとなって、電圧を印可する際の電流経路が遮断された後、スイッチSW5がパルス的にONとなることにより、り、出力ラインOUTCの電圧がグランドレベルまで下げられる。次に、スイッチSW2がON、残り4つのスイッチSW1、SW3、SW4、SW5がOFFとされた後、スイッチSW4がパルス的にONとなる。このスイッチSW4がONとなることにより、共通電極X（グランド）に対し、走査電極Y側に電圧を印加するときの電流経路となる。

50 【0077】次に、スイッチSW2をONに維持したま

(12)

特許3201603

23

ま、スイッチSW5がONとなる。このとき、第1の信号ラインOUTAにはA/D変換器42からスイッチSW1を介して電源電圧が供給されないので、その電圧はグランドレベルとなる。一方、第2の信号ラインOUTBに関しては、スイッチSW2がONとなって第1の信号ラインOUTAが接地されることにより、第2の信号ラインOUTBの電圧は、コンデンサC1に蓄積されている電荷に応じた電圧($V_s/2$)分だけグランドレベルから下がった電位($-V_s/2$)となる。このとき、スイッチSW5がONとなっているので、第2の信号ラインOUTBの電圧($-V_s/2$)が出力ラインOUTCを介して負荷20に印加される。その際、走査電極Y側のスイッチSW3¹、SW4¹をONとし、走査電極Y($V_s/2$)に対し、共通電極X側に電圧($-V_s/2$)を印加することとなる。

【0078】次のタイミングでは、スイッチSW2、SW4がONとなり、残りのスイッチSW1、SW3、SW5はOFFとなる。これにより、出力ラインOUTCの電圧がグランドレベルに持ち上げられる。その後、最初の段階と同様に3つのスイッチSW1、SW3、SW4がON、残り2つのスイッチSW2、SW5がOFFとなり、以降同様に繰り返されていく。

【0079】このような構成の駆動装置を用いて、図3の出力ラインOUTCに示すように、負荷20の共通電極Xに対して正の電圧($+V_s/2$)と負の電圧($-V_s/2$)とを交互に印加していく。一方、負荷20の走査電極Yに対しても、共通電極X側と同様のスイッチング制御を行うことにより、正の電圧($+V_s/2$)と負の電圧($-V_s/2$)とを交互に印加していく。

【0080】このとき、共通電極Xおよび走査電極Yのそれぞれに印加する電圧($\pm V_s/2$)は、互いに位相が反転するように印加する。つまり、共通電極Xに正の電圧($+V_s/2$)が印加されているときには、走査電極Yには負の電圧($-V_s/2$)を印加するようになる。このようにすることにより、共通電極Xと走査電極Y間の電位差を、維持パルスと同じ電圧 V_s とすることができる、図101の維持放電期間に示した状態(共通電極Xと走査電極Yに維持パルス電圧 V_s を交互に印加する状態)と同様の状態を作りだすことができる。

【0081】図4は、本実施形態の駆動装置による維持放電期間における駆動波形の他の例を示すタイムチャートである。図4に示すように、最初に3つのスイッチSW1、SW3、SW4がONとなり、残りのスイッチSW2、SW5はOFFとなる。このとき、第1の信号ラインOUTAの電圧は、A/D変換器42よりスイッチSW1を介して与えられる電圧レベル($+V_s/2$)となり、第2の信号ラインOUTBの電圧はグランドレベルのままとなる。そして、スイッチSW4がONとなっているので、第1の信号ラインOUTAの電圧($+V_s/2$)が出力ラインOUTCを介して負荷20に印加さ

24

れる。

【0082】また、この段階では、スイッチSW1、SW3がONとなってコンデンサC1が電源に接続されることとなるので、当該コンデンサC1には、A/D変換器42からスイッチSW1を介して与えられる電圧($V_s/2$)に応じた電荷が蓄積される。

【0083】次のタイミングでは、5つのスイッチSW1～SW5がすべてOFFとなる。このとき、第1の信号ラインOUTAはハイインピーダンスとなって電圧($V_s/2$)を維持し、出力ラインOUTCも電圧($V_s/2$)を維持する。

【0084】次に、2つのスイッチSW2、SW5がONとなり、残り3つのスイッチSW1、SW3、SW4はOFFのまま維持される。このとき、第1の信号ラインOUTAにはA/D変換器42からスイッチSW1を介して電源電圧が供給されないので、その電圧はグランドレベルとなる。

【0085】一方、第2の信号ラインOUTBに関しては、スイッチSW2がONとなって第1の信号ラインOUTAが接地されることにより、第2の信号ラインOUTBの電圧は、コンデンサC1に蓄積されている電荷に応じた電圧($V_s/2$)分だけグランドレベルから下がった電位($-V_s/2$)となる。このとき、スイッチSW5がONとなっているので、第2の信号ラインOUTBの電圧($-V_s/2$)が出力ラインOUTCを介して負荷20に印加される。

【0086】次のタイミングでは、5つのスイッチSW1～SW5が再びすべてOFFとなる。これにより、第2の信号ラインOUTBはハイインピーダンスとなって電圧($-V_s/2$)を維持し、出力ラインOUTCも電圧($-V_s/2$)を維持する。その後、最初の段階と同様に3つのスイッチSW1、SW3、SW4がON、残り2つのスイッチSW2、SW5がOFFとなり、以降同様に繰り返されていく。

【0087】以上のように、図2に示す第1の実施形態による駆動装置は、コンデンサC1とスイッチSW1～SW3のON/OFFによって、 $V_s/2$ レベルとグランドレベルとの間で電圧が変動する第1の信号ラインOUTAと、グランドレベルと $-V_s/2$ レベルとの間で電圧が変動する第2の信号ラインOUTBとを備え、それら第1、第2の信号ラインの間に負荷20のドライバ回路を設けたことに特徴がある。

【0088】このような構成の駆動装置を用いて、上記ドライバ回路内のスイッチSW4、SW5をON/OFFすることによって、図4の出力ラインOUTCに示すように、負荷20の共通電極Xに対して正の電圧($+V_s/2$)と負の電圧($-V_s/2$)とを交互に印加していく。一方、負荷20の走査電極Yに対しても、電源回路43¹およびドライバ回路44¹で同様の駆動を行うことにより、正の電圧($+V_s/2$)と負の電圧($-V_s/2$)

(13)

特許3201603

25

$s/2$ ）とを交互に印加していく。

【0089】このとき、共通電極Xおよび走査電極Yのそれぞれに印加する電圧（ $\pm V_s/2$ ）は、互いに位相が反転するように印加する。つまり、共通電極Xに正の電圧（ $+V_s/2$ ）が印加されているときには、走査電極Yには負の電圧（ $-V_s/2$ ）を印加するようになる。このようにすることにより、共通電極Xと走査電極Y間の電位差を、維持パルスと同じ電圧 V_s とすることができる、図101の維持放電期間に示した状態（共通電極Xと走査電極Yに維持パルス電圧 V_s を交互に印加する状態）と同様の状態を作りだすことができる。

【0090】この場合、電源回路43、43'およびドライバ回路44、44'に印加されている電圧の絶対値は、最大でも $V_s/2$ である。したがって、これらの回路内に備えられる各素子の耐圧は $V_s/2$ とすれば良く、耐圧を従来の半分に抑えることができる。これにより、構成が小さく安価な素子を用いることができ、回路構成の簡素化と製造コストの低減を実現することができる。

【0091】また、本実施形態の駆動装置によれば、負荷に印加すべき電圧は最大でも $V_s/2$ であり、 V_s の半分の電圧で良いため、負荷に電圧を印加する周期が従来の2倍となることによる消費電力の増加分を考慮しても、 V_s そのものを負荷20に印加していた従来に比べて全体として電力のロスを小さくすることができる。

【0092】図5は、上記図2に示した第1の実施形態の特徴を応用した駆動装置の具体的な構成例を示す図である。なお、図5において、図2および図102に示した符号と同一の符号を付したものには、同一の機能を有するものである。

【0093】図5において、共通電極X側では、スイッチSW1、SW2は、図5では図示していない図1のA/D変換器42より発生される電圧（ $V_s/2$ ）の電源ラインとグランド（GND）との間に直列に接続される。上記2つのスイッチSW1、SW2の中間からはコンデンサC1の一方の端子が接続され、このコンデンサC1のもう一方の端子とGNDとの間に、スイッチSW3が接続される。

【0094】また、スイッチSW4、SW5は、上記コンデンサC1の両端に直列に接続される。そして、これら2つのスイッチSW4、SW5の中間から負荷20の共通電極Xが接続されている。

【0095】一方、走査電極Y側では、スイッチSW1'、SW2'は、図1のA/D変換器42より発生される電圧（ $V_s/2$ ）の電源ラインとGNDとの間に直列に接続される。これら2つのスイッチSW1'、SW2'の中間からはコンデンサC4の一方の端子が接続され、このコンデンサC4のもう一方の端子とGNDとの間に、スイッチSW3'が接続される。

【0096】また、コンデンサC4の一方の端子に接続

26

されたスイッチSW4'は、ダイオードD14のカソードと接続され、ダイオードD14のアノードとコンデンサC4のもう一方の端子が接続される。コンデンサC4のもう一方の端子に接続されたスイッチSW5'は、ダイオードD15のカソードと接続され、ダイオードD15のアノードとコンデンサC4の一方の端子が接続される。そして、ダイオードD14のカソードと接続されるスイッチSW4'、ダイオードD15のアノードと接続されるスイッチSW5'のそれぞれの一端からスキャンドライバ31'を介して負荷20が接続されている。なお、図5ではスキャンドライバ31'を1つのみ示しているが、これは実際には、PDPが備える複数の表示ラインに対してそれぞれ備えられている。その他の回路は、複数の表示ラインに共通に設けられる共通回路である。

【0097】ここで、上記図5中に示した各スイッチSW1～SW5、SW1'～SW5'は、例えば、MOSFETと、必要に応じて当該MOSFETに接続したダイオードとにより構成する。

【0098】例えば、スイッチSW1、SW1'は、 $V_s/2$ の電源ラインに接続されるnチャネルもしくはpチャネルのMOSFETと、当該nチャネルMOSFETのドレインもしくはpチャネルMOSFETのソースがアノードに接続されたダイオードとにより構成される。

【0099】また、スイッチSW2、SW2'は、GND電源ラインに接続されるnチャネルのMOSFETと、当該nチャネルMOSFETのドレインがカソードに接続されたダイオードとを含んで構成される。

【0100】また、スイッチSW3、SW3'は、上記スイッチSW2、SW2'と同様に構成することも可能であるが、図5中に示すように、上述したMOSFETとダイオードとを直列に接続したものを2組、グランドに対して並列に接続することによって構成される。もしくは、例えば図6(a)に示すように、2つのMOSFETのソースどうしを共通に接続するとともに、当該MOSFETの共通ソースを2つのダイオードのアノードに接続するようにしても良い。これらの図5あるいは図6(a)のようにスイッチSW3、SW3'を構成すれば、スイッチSW3、SW3'がONのときには電流を双方向に流すことができるとともに、OFFのときには完全に遮断することができ、より安定的な動作を実現することができる。

【0101】また、これらのスイッチSW1～SW2、SW1'～SW2'は、図6(c)に示すようなIGBT(Insulated Gate Bipolar Transistor)素子により構成しても良い。また、スイッチSW3、SW3'については、図6(c)に示すように、MOSFETとダイオードとからなる2組のスイッチング素子のうちの一方の組をIGBT素子により構成しても良い。このIGBT

(14)

特許3201603

27

T素子は、3端子のバイポーラーMOS複合素子であり、MOSFETよりも動作抵抗が小さく、ロスが少なくて済む。また、電流が逆方向に流れないので、ダイオードを設ける必要がないというメリットも有する。

【0102】以上のような構成の駆動装置において、共通電極X側のスイッチSW1～SW5、走査電極Y側のスイッチSW1'～SW5'を上述のようにスイッチング制御することにより、共通電極Xおよび走査電極Yに對して互いに逆相の正負の電圧($\pm V_s/2$)を印加する。

【0103】なほ、維持放電期間において、共通電極Xに電圧(+ $V_s/2$, - $V_s/2$)を印加するタイミングと、走査電極Yに逆位相の電圧(- $V_s/2$, + $V_s/2$)を印加するタイミングは、必ずしも同タイミングでなくても良く、両電圧の印加タイミングを多少ずらすようにしても良い。例えば、一方の電極に印加された電圧が定常状態に達した後に他方の電極に逆位相の電圧を印加するようにすれば、維持放電をより安定的に動作させることができる。

【0104】また、電極X、Yにパルス電圧を印加している時間も、必ずしも両者が同じである必要はない。共通電極X、走査電極Yに対する電圧印加のタイミングや印加時間は、例えば、スイッチSW4、SW4'、SW5、SW5'のON/OFFのタイミングを制御することによって調整することが可能である。

【0105】なほ、上記スイッチSW1～SW5、SW1'～SW5'のON/OFF制御等は、ROM等の記録媒体に記録されたプログラムに従って行うようにすることが可能である。このようにすれば、ROMを取り替えることによって、印加電圧の波形を自由に変えることができる。

【0106】図7～図13は、維持放電期間において電極X、Yに印加するパルス電圧の駆動波形の様々な例を示す図である。図7に示す駆動波形は、正の電圧(+ $V_s/2$)を印加するタイミングを、負の電圧(- $V_s/2$)を印加するタイミングよりも常に早くするとともに、印加した正の電圧(+ $V_s/2$)をグランドレベルに戻すタイミングを、印加した負の電圧(- $V_s/2$)をグランドレベルに戻すタイミングよりも常に遅くするようにした例である。つまり、共通電極Xまたは走査電極Yの一方の電極に印加された正の電圧(+ $V_s/2$)が定常状態に達した後に、他方の電極に負の電圧(- $V_s/2$)を印加する。また、一方の電極に負の電圧(- $V_s/2$)から戻されたグランドレベルの電圧が定常状態に達した後に、他方の電極の電圧を正の電圧(+ $V_s/2$)からグランドレベルに戻す。

【0107】さらに、この図7の例では、負の電圧(- $V_s/2$)のパルス幅を、正の電圧(+ $V_s/2$)のパルス幅よりも狭くし、正の電圧が印加されている間に負の電圧をグランドレベルに戻すようにしている。このよ

28

うにすることにより、維持放電をより安定的に動作させることができる。

【0108】図8に示す駆動波形は、図7に示した例と正負が逆の例である。すなわち、これは、負の電圧(- $V_s/2$)を印加するタイミングを、正の電圧(+ $V_s/2$)を印加するタイミングよりも常に早くするとともに、印加した負の電圧(- $V_s/2$)をグランドレベルに戻すタイミングを、印加した正の電圧(+ $V_s/2$)をグランドレベルに戻すタイミングよりも常に遅くするようにした例である。つまり、一方の電極に印加された負の電圧(- $V_s/2$)が定常状態に達した後に他方の電極に正の電圧(+ $V_s/2$)を印加する。また、一方の電極で正の電圧(+ $V_s/2$)から戻されたグランドレベルの電圧が定常状態に達した後に、他方の電極の電圧を負の電圧(- $V_s/2$)からグランドレベルに戻す。

【0109】さらに、この図8の例では、正の電圧(+ $V_s/2$)のパルス幅を、負の電圧(- $V_s/2$)のパルス幅よりも狭くし、負の電圧が印加されている間に正の電圧をグランドレベルに戻すようにしている。このようにすることにより、維持放電をより安定的に動作させることができる。

【0110】図9に示す駆動波形は、負の電圧(- $V_s/2$)を基準電圧とした場合の例である。つまり、維持放電期間において維持パルスを印加しないタイミングでは電極X、Yの電圧を共に(- $V_s/2$)にしておき、実際に維持パルスを印加して放電を行うタイミングで、一方の電極の電圧を(+ $V_s/2$)まで上げるようにしている。この図9の例でも、図8の例と同様に、負の電圧(- $V_s/2$)のパルス幅が正の電圧(+ $V_s/2$)のパルス幅よりも広くなっている。

【0111】この図9に示す駆動波形のように、一方の電極の電圧を変動させる際、他方の電極の電圧を固定することにより、維持放電をより安定的に動作させることができる。また、一方の電極の電圧を変化させるだけで、両電極間に所定電圧を印加することができる。

【0112】図10に示す駆動波形は、図9に示した例と正負が逆の例であり、正の電圧(+ $V_s/2$)を基準電圧とした場合の例である。つまり、維持放電期間において維持パルスを印加しないタイミングでは電極X、Yの電圧を共に(+ $V_s/2$)にしておき、実際に維持パルスを印加して放電を行うタイミングで、一方の電極の電圧を(- $V_s/2$)まで下げるようしている。この図10の例では、図7の例と同様に、正の電圧(+ $V_s/2$)のパルス幅が負の電圧(- $V_s/2$)のパルス幅よりも広くなっている。

【0113】この図10に示す駆動波形のように、一方の電極の電圧を変動させる際、他方の電極の電圧を固定することにより、維持放電をより安定的に動作させることができる。また、一方の電極の電圧を変化させるだけ

(15)

特許3201603

29

で、両電極間に所定電圧を印加することができる。

【0114】図11に示す駆動波形は、図9に示した駆動波形と同様に、負の電圧($-V_s/2$)を基準電圧とし、実際に放電を行うタイミングで一方の電極の電圧を($+V_s/2$)まで上げるようにしている。この図11の例では更に、放電を行った後で上記一方の電極の電圧を負の電圧($-V_s/2$)に戻す前に、他方の電極を正の電圧($+V_s/2$)まで持ち上げてその後負の電圧($-V_s/2$)に戻すようにしている。

【0115】例えば、走査電極Yの電圧を負の電圧($-V_s/2$)に維持したまま、共通電極Xの電圧を負の電圧($-V_s/2$)から正の電圧($+V_s/2$)まで上げることにより、両電極間に(V_s)の差電圧が印加され、放電が行われる。このとき、負荷20には印加された電圧に応じて電荷が蓄積される。

【0116】その後、共通電極Xの電圧を正の電圧($+V_s/2$)から元の負の電圧($-V_s/2$)に戻す前に、走査電極Yの電圧も($+V_s/2$)まで持ち上げることにより、負荷20に蓄積された電荷を共通電極X側のコンデンサC1に戻してやる。このように、放電によって負荷20に蓄積された電荷を単純に捨ててしまうのではなく、コンデンサC1に戻してやることにより、省電力化が図ることができる。

【0117】共通電極Xの電圧を正の電圧($+V_s/2$)に維持したまま走査電極Yの電圧も正の電圧($+V_s/2$)まで持ち上げることにより、共通電極Xおよび走査電極Yの双方に正の電圧($+V_s/2$)が印加された状態となり、両電極X、Yが同電位となる。

【0118】このとき、共通電極X側のスイッチSW1～SW5を全てOFFにして共通電極X側をハイインピーダンスの状態に保つとともに、走査電極Y側の印加電圧を負の電圧($-V_s/2$)に下げる。すると、負荷20の容量の作用によって共通電極X側の電圧も走査電極Y側の電圧に追従して負の電圧($-V_s/2$)に下がってくる。このとき、負荷20に対する充電は行われず、負荷20への充電電力はゼロなので、電力ロスがなく、省電力化が図ることができる。

【0119】図12に示す駆動波形は、正の電圧($+V_s/2$)のパルス幅と負の電圧($-V_s/2$)のパルス幅と同じではあるが、共通電極Xと走査電極Yに電圧を印加するタイミングを同時にしないようにした例である。この図12の例では、共通電極Xに電圧を印加するタイミングを、走査電極Yに電圧を印加するタイミングよりも常に早くするようにしているが、その逆でも良い。一方の電極に印加された正または負の電圧が定常状態に達した後に他方の電極に負または正の電圧を印加することにより、回路に流れる時間的な電流が多くなるないように抑制し、維持放電をより安定的に動作させることができる。

【0120】図13に示す駆動波形では、基準の電圧は

30

グランドレベルであり、放電を行うときに、共通電極Xおよび走査電極Yの双方に正負の電圧($\pm V_s/2$)を印加している。このとき、負の電圧($-V_s/2$)を印加するタイミングを、正の電圧($+V_s/2$)を印加するタイミングよりも常に早くとともに、印加した負の電圧($-V_s/2$)をグランドレベルに戻すタイミングを、印加した正の電圧($+V_s/2$)をグランドレベルに戻すタイミングよりも常に早くするするようにしている。

【0121】さらに、この図13に示す駆動波形においては、図11に示した駆動波形と同様に、放電を行った後に双方の電極に正の電圧($+V_s/2$)を印加して同電位にする。その後、一方の電極側をハイインピーダンスに保って他方の電極の電圧をグランドレベルに戻すことにより、当該他方の電極の電圧降下に追従して一方の電極の電圧をグランドレベルに戻すようにしている。このとき、負荷20に対する充電は行われず、負荷20への充電電力はゼロなので、電力ロスがなく、省電力化を図ることができる。

【0122】図14は、上記図7に示した電極X、Yに対する駆動波形を生成するための各スイッチSW1～SW5、SW1'～SW5'の制御例を示すタイムチャートである。なお、この図14は、直前のサブフィールドの処理において、共通電極X側のコンデンサC1、走査電極Y側のコンデンサC4に電圧($V_s/2$)分の電荷が蓄積されているものとして説明している。

【0123】維持放電期間において、共通電極X側では、まず、3つのスイッチSW1、SW3、SW4がONとなり、残りのスイッチSW2、SW5はOFFとなる。このとき、第1の信号ラインOUTAの電圧は、スイッチSW1を介して与えられる電圧レベル($+V_s/2$)となる。そして、この第1の信号ラインOUTAの電圧($+V_s/2$)が、スイッチSW4を介して出力ラインOUTCに出力され、負荷20に印加される。

【0124】また、この段階では、スイッチSW1、SW3がONとなってコンデンサC1が電源に接続されることとなるので、当該コンデンサC1には、スイッチSW1を介して与えられる電圧($V_s/2$)に応じた電荷が蓄積される。

【0125】一方、走査電極Y側では、共通電極X側のスイッチSW1、SW3、SW4がONになるのと同時にスイッチSW2'がONとなる。そして、共通電極X側に正の電圧($+V_s/2$)が印加された後、適当なタイミングでスイッチSW5'もONとなる。この状態で、残り3つのスイッチSW1'、SW3'、SW4'はOFFのまま維持される。

【0126】スイッチSW2'がONとなって第1の信号ラインOUTA'が接地されることにより、第4の信号ラインOUTB'の電圧は、コンデンサC4に蓄積されている電荷に応じた電圧($V_s/2$)分だけグランド

(16)

特許3201603

31

レベルから下がった電位 ($-V_s/2$) となる。そして、適当なタイミングでスイッチ SW5' が ON となることにより、第 4 の信号ライン OUTB' の電圧 ($-V_s/2$) が出力ライン OUTC' を介して負荷 2 に印加される。これにより、負荷 2 の電極 X、Y の間に差電圧 (V_s) が印加されることになり、維持放電が行われる。

【0127】負荷 2 に差電圧 (V_s) を印加して維持放電を行った後は、共通電極 X 側では、スイッチ SW4' を OFF にして電圧 ($+V_s/2$) の供給を遮断した後、スイッチ SW5' を ON することにより、共通電極 X に対する印加電圧をグランドレベルに戻す。

【0128】また、走査電極 Y 側では、上記共通電極 X 側でスイッチ SW4' を OFF とするよりも前の時点で、スイッチ SW5' を OFF にして電圧 ($-V_s/2$) の供給を遮断した後、スイッチ SW4' を ON とする。これにより、共通電極 X に対する印加電圧をグランドレベルに戻すよりも先に、走査電極 Y に対する印加電圧をグランドレベルに戻す。

【0129】次のタイミングでは、共通電極 X 側の 5 つのスイッチ SW1' ~ SW5'、走査電極 Y 側の 5 つのスイッチ SW1' ~ SW5' がすべて OFF となる。次に、共通電極 X 側と走査電極 Y 側とで以上と全く逆のタイミング制御を行うことにより、パルス幅の広い正の電圧 ($+V_s/2$) を走査電極 Y 側に印加するとともに、当該走査電極 Y 側よりもパルス幅の狭い負の電圧 ($-V_s/2$) を共通電極 X 側に印加する。以降同様の制御が交互に繰り返されていく。

【0130】図 15 は、上記図 8 に示した電極 X、Y に対する駆動波形を生成するための各スイッチ SW1' ~ SW5'、SW1' ~ SW5' の制御例を示すタイムチャートである。なお、この図 15 は、直前のサブフィールドの処理において、共通電極 X 側のコンデンサ C1、走査電極 Y 側のコンデンサ C4 に電圧 ($V_s/2$) 分の電荷が蓄積されているものとして説明している。

【0131】維持放電期間において、走査電極 Y 側では、まず、2 つのスイッチ SW2'、SW5' が ON となり、残りのスイッチ SW1'、SW3'、SW4' が OFF となる。このようにスイッチ SW2' が ON となって第 1 の信号ライン OUTA' が接続されることにより、第 4 の信号ライン OUTB' の電圧は、コンデンサ C4 に蓄積されている電荷に応じた電圧 ($V_s/2$) 分だけグランドレベルから下がった電位 ($-V_s/2$) となる。このとき、スイッチ SW5' はスイッチ SW2' と同時に ON となっているので、第 4 の信号ライン OUTB' の電圧 ($-V_s/2$) が出力ライン OUTC' を介して負荷 2 に印加される。

【0132】一方、共通電極 X 側では、走査電極 Y 側のスイッチ SW2'、SW5' が ON になるのと同時にスイッチ SW1'、SW3' が ON となる。そして、走査電極

32

Y 側に負の電圧 ($-V_s/2$) が印加された後、適当なタイミングでスイッチ SW4' が ON となる。この状態で、残り 2 つのスイッチ SW2'、SW5' は OFF のまま維持される。

【0133】これにより、第 1 の信号ライン OUTA' の電圧は、スイッチ SW1' が ON となったタイミングで電圧レベル ($+V_s/2$) となる。そして、この第 1 の信号ライン OUTA' の電圧 ($+V_s/2$) が、適当なタイミングで ON となったスイッチ SW4' を介して出力ライン OUTC' に出力され、負荷 2 に印加される。これにより、負荷 2 の電極 X、Y の間に差電圧 (V_s) が印加されることになる。

【0134】また、この段階では、スイッチ SW1'、SW3' が ON となってコンデンサ C1 が電源に接続されることとなるので、当該コンデンサ C1 には、スイッチ SW1' を介して与えられる電圧 ($V_s/2$) に応じた電荷が蓄積される。

【0135】負荷 2 に差電圧 (V_s) を印加して維持放電を行った後は、走査電極 Y 側では、スイッチ SW5' を OFF にして電圧 ($-V_s/2$) の供給を遮断した後、スイッチ SW4' を ON することにより、走査電極 Y に対する印加電圧をグランドレベルに戻す。

【0136】また、共通電極 X 側では、上記走査電極 Y 側でスイッチ SW5' を OFF とするよりも前の時点で、スイッチ SW4' を OFF にして電圧 ($+V_s/2$) の供給を遮断した後、スイッチ SW5' を ON とする。これにより、走査電極 Y に対する印加電圧をグランドレベルに戻すよりも先に、共通電極 X に対する印加電圧をグランドレベルに戻す。

【0137】次のタイミングでは、共通電極 X 側の 5 つのスイッチ SW1' ~ SW5'、走査電極 Y 側の 5 つのスイッチ SW1' ~ SW5' がすべて OFF となる。次に、共通電極 X 側と走査電極 Y 側とで以上と全く逆のタイミング制御を行うことにより、パルス幅の広い負の電圧 ($-V_s/2$) を共通電極 X 側に印加するとともに、当該共通電極 X 側よりもパルス幅の狭い正の電圧 ($+V_s/2$) を走査電極 Y 側に印加する。以降同様の制御が交互に繰り返されていく。

【0138】図 16 は、上記図 9 に示した電極 X、Y に対する駆動波形を生成するための各スイッチ SW1' ~ SW5'、SW1' ~ SW5' の制御例を示すタイムチャートである。なお、この図 16 は、直前のサブフィールドの処理において、共通電極 X 側および走査電極 Y 側のコンデンサ C1、C4 に電圧 ($V_s/2$) 分の電荷が蓄積されているものとして説明している。

【0139】維持放電期間において、共通電極 X 側では、最初はスイッチ SW1'、SW3'、SW4' が OFF、残りのスイッチ SW2'、SW5' が ON となっている。これにより、共通電極 X に負の電圧 ($-V_s/2$) が印加された状態となっている。また、走査電極 Y において

(17)

特許3201603

33

も、最初はスイッチSW1'、SW3'、SW4'がOFF、残りのスイッチSW2'、SW5'がONとなっている。これにより、走査電極Yに負の電圧($-V_s/2$)が印加された状態となっている。

【0140】次のタイミングで、共通電極X側では、スイッチSW5をOFFにして電圧($-V_s/2$)の供給を遮断した後、スイッチSW4をONとする。これにより、共通電極Xに対する印加電圧をグランドレベルに戻す。さらに、スイッチSW2、SW4をOFFにした後、スイッチSW1、SW3、SW4をONにする。このとき、残りのスイッチSW2、SW5はOFFに維持したままである。

【0141】これにより、共通電極X側では、第1の信号ラインOUTAの電圧が、スイッチSW1を介して与えられる電圧レベル($+V_s/2$)となる。そして、この第1の信号ラインOUTAの電圧($+V_s/2$)が、スイッチSW4を介して出力ラインOUTCに出力され、負荷20に印加される。このとき、走査電極Y側には負の電圧($-V_s/2$)が印加されたままで、負荷20の両電極X、Yには差電圧(V_s)が印加されて維持放電が行われる。

【0142】また、この段階では、スイッチSW1、SW3がONとなってコンデンサC1が電源に接続されることとなるので、当該コンデンサC1には、スイッチSW1を介して与えられる電圧($V_s/2$)に応じた電荷が蓄積される。

【0143】負荷20に差電圧(V_s)を印加して維持放電を行った後は、共通電極X側では、スイッチSW4をOFFにして電圧($+V_s/2$)の供給を遮断した後、スイッチSW5をONとすることにより、共通電極Xに対する印加電圧をグランドレベルに戻す。さらに、全てのスイッチSW1～SW5を一旦OFFにした後、スイッチSW2、SW5をONにする。

【0144】スイッチSW2がONとなって第1の信号ラインOUTAが接地されることにより、第2の信号ラインOUTBの電圧は、コンデンサC1に蓄積されている電荷に応じた電圧($V_s/2$)分だけグランドレベルから下がった電位($-V_s/2$)となる。このときスイッチSW5がONとなっているので、第2の信号ラインOUTBの電圧($-V_s/2$)が出力ラインOUTCを介して負荷20に印加される。

【0145】このようにして共通電極X側に正の電圧($+V_s/2$)を印加して再び負の電圧($-V_s/2$)に戻した後は、同様のスイッチング制御を走査電極Y側でも行う。これにより、走査電極Y側においても、正の電圧($+V_s/2$)を印加した後、再び負の電圧($-V_s/2$)を印加する状態に戻す動作が行われる。以降同様の制御が交互に繰り返されていく。

【0146】図17は、上記図10に示した電極X、Yに対する駆動波形を生成するための各スイッチSW1～

34

SW5、SW1'～SW5'の制御例を示すタイムチャートである。なお、この図17は、直前のサブフィールドの処理において、共通電極X側のコンデンサC1、走査電極Y側のコンデンサC4に電圧($V_s/2$)分の電荷が蓄積されているものとして説明している。

【0147】維持放電期間において、共通電極X側では、最初はスイッチSW1、SW3、SW4がON、残りのスイッチSW2、SW5がOFFとなっている。これにより、共通電極X側に正の電圧($+V_s/2$)が印加された状態となっている。また、走査電極Y側でも、最初はスイッチSW1'、SW3'、SW4'がON、残りのスイッチSW2'、SW5'がOFFとなっている。これにより、走査電極Y側に正の電圧($+V_s/2$)が印加された状態となっている。

【0148】また、この段階では、共通電極X側のスイッチSW1、SW3がONとなってコンデンサC1が電源に接続されることとなるので、当該コンデンサC1には、スイッチSW1を介して与えられる電圧($V_s/2$)に応じた電荷が蓄積される。同様に、走査電極Y側のスイッチSW1'、SW3'がONとなってコンデンサC4が電源に接続されることとなるので、当該コンデンサC4には、スイッチSW1'を介して与えられる電圧($V_s/2$)に応じた電荷が蓄積される。

【0149】次のタイミングで、共通電極X側では、スイッチSW4をOFFにして電圧($+V_s/2$)の供給を遮断した後、スイッチSW5をONとすることにより、共通電極Xに対する印加電圧をグランドレベルに戻す。さらに、全てのスイッチSW1～SW5を一旦OFFにした後、スイッチSW2、SW5をONにする。

【0150】スイッチSW2がONとなって第1の信号ラインOUTAが接地されることにより、第2の信号ラインOUTBの電圧は、コンデンサC1に蓄積されている電荷に応じた電圧($V_s/2$)分だけグランドレベルから下がった電位($-V_s/2$)となる。このときスイッチSW5がONとなっているので、第2の信号ラインOUTBの電圧($-V_s/2$)が出力ラインOUTCを介して負荷20に印加される。

【0151】このとき、走査電極Y側には正の電圧($+V_s/2$)が印加されたままで、負荷20の両電極X、Yには差電圧(V_s)が印加されて維持放電が行われる。負荷20に差電圧(V_s)を印加して維持放電を行った後は、共通電極X側では、スイッチSW5をOFFにして電圧($-V_s/2$)の供給を遮断した後、スイッチSW4をONとする。これにより、共通電極Xに対する印加電圧をグランドレベルに戻す。

【0152】さらに、全てのスイッチSW1～SW5をOFFにした後、スイッチSW1、SW3、SW4をONにする。このとき、残りのスイッチSW2、SW5はOFFに維持したままである。これにより、共通電極X側に対して再び正の電圧($+V_s/2$)が印加される。

(18)

特許3201603

35

【0153】このようにして共通電極X側に負の電圧 $(-V_s/2)$ を印加して再び正の電圧 $(+V_s/2)$ に戻した後は、同様のスイッチング制御を走査電極Yでも行う。これにより、走査電極Y側においても、負の電圧 $(-V_s/2)$ を印加した後、再び正の電圧 $(+V_s/2)$ を印加する状態に戻す動作が行われる。以降同様の制御が交互に繰り返されていく。

【0154】図18は、上記図11に示した電極X、Yに対する駆動波形を生成するための各スイッチSW1～SW5、SW1'～SW5'の制御例を示すタイムチャートである。なお、この図18は、直前のサブフィールドの処理において、共通電極X側および走査電極Y側のコンデンサC1、C4に電圧 $(V_s/2)$ 分の電荷が蓄積されているものとして説明している。

【0155】維持放電期間において、共通電極X側では、最初はスイッチSW1、SW3、SW4がOFF、残りのスイッチSW2、SW5がONとなっている。これにより、共通電極Xに負の電圧 $(-V_s/2)$ が印加された状態となっている。また、走査電極Yにおいても、最初はスイッチSW1'、SW3'、SW4'がOFF、残りのスイッチSW2'、SW5'がONとなっている。これにより、走査電極Yに負の電圧 $(-V_s/2)$ が印加された状態となっている。

【0156】次のタイミングで、共通電極X側では、スイッチSW5をOFFにして電圧 $(-V_s/2)$ の供給を遮断した後、スイッチSW4をONとする。これにより、共通電極Xに対する印加電圧をグランドレベルに戻す。さらに、スイッチSW2をOFFにした後、スイッチSW1、SW3をONにする。このとき、スイッチSW4はON、スイッチSW5はOFFに維持したままである。

【0157】これにより、共通電極X側では、第1の信号ラインOUTAの電圧が、スイッチSW1を介して与えられる電圧レベル $(+V_s/2)$ となる。そして、この第1の信号ラインOUTAの電圧 $(+V_s/2)$ が、スイッチSW4を介して出力ラインOUTCに出力され、負荷20に印加される。このとき、走査電極Y側には負の電圧 $(-V_s/2)$ が印加されたままで、負荷20の両電極X、Yには差電圧 (V_s) が印加されて維持放電が行われる。

【0158】また、この段階では、スイッチSW1、SW3がONとなってコンデンサC1が電源に接続されることとなるので、当該コンデンサC1には、スイッチSW1を介して与えられる電圧 $(V_s/2)$ に応じた電荷が蓄積される。

【0159】負荷20に差電圧 (V_s) を印加して維持放電を行った後は、走査電極Y側において、スイッチSW5'をOFFにして電圧 $(-V_s/2)$ の供給を遮断した後、スイッチSW4'をONとする。これにより、走査電極Yに対する印加電圧をグランドレベルに戻す。

36

さらに、スイッチSW2'をOFFにした後、スイッチSW1'、SW3'をONにする。このとき、スイッチSW4'はON、スイッチSW5'はOFFに維持したままである。

【0160】これにより、走査電極Y側では、第3の信号ラインOUTA'の電圧が、スイッチSW1'を介して与えられる電圧レベル $(+V_s/2)$ となる。そして、この第3の信号ラインOUTA'の電圧 $(+V_s/2)$ が、スイッチSW4'を介して出力ラインOUTC'に出力され、負荷20に印加される。このとき、共通電極X側には正の電圧 $(+V_s/2)$ が印加されたままで、負荷20の両電極X、Yは同電位となる。

【0161】次に、走査電極Y側において、スイッチSW4'をOFFにして電圧 $(+V_s/2)$ の供給を遮断した後、スイッチSW5'をONとすることにより、走査電極Yに対する印加電圧をグランドレベルに戻す。さらに、スイッチSW1'、SW3'をOFFにした後、スイッチSW2'をONとする。このとき、スイッチSW4'はOFF、スイッチSW5'はONに維持したままである。

【0162】スイッチSW2'がONとなって第1の信号ラインOUTA'が接続されることにより、第4の信号ラインOUTB'の電圧は、コンデンサC4に蓄積されている電荷に応じた電圧 $(V_s/2)$ 分だけグランドレベルから下がった電位 $(-V_s/2)$ となる。このときスイッチSW5'がONとなっているので、第4の信号ラインOUTB'の電圧 $(-V_s/2)$ が出力ラインOUTC'を介して負荷20に印加される。

【0163】一方、共通電極X側では、走査電極Y側でスイッチSW4'がOFFになると同期してスイッチSW4をOFFとすることにより、電圧 $(+V_s/2)$ の供給を遮断し、共通電極Xをハイインピーダンスにして、走査電極YのスイッチSW5'をONにして、走査電極Y側の電圧 $(+V_s/2)$ がグランドレベルに下がるタイミングに同期して共通電極Xの電圧を負荷20の容量の作用によってグランドレベルに戻す。その後、走査電極Y側でスイッチSW1'、SW3'がOFFになると同期してスイッチSW1、SW3をOFFとする。

【0164】その後、走査電極Y側のスイッチSW5'をONにした状態でスイッチSW2'がONになるのと同期して、スイッチSW2をONにする。このようにすることにより、共通電極X側の電圧は、負荷20の容量の作用によって、走査電極Y側の電圧に追従して負の電圧 $(-V_s/2)$ まで下がってくる。

【0165】このようにして共通電極X側に正の電圧 $(+V_s/2)$ を印加して再び負の電圧 $(-V_s/2)$ に戻した後は、同様のスイッチング制御を走査電極Yでも行う。これにより、走査電極Y側においても、正の電圧 $(+V_s/2)$ を印加した後、再び負の電圧 $(-V_s/2)$

(19)

特許3201603

37

／2）を印加する状態に戻す動作が行われる。以降同様の制御が交互に繰り返されていく。

【0166】図19は、上記図11に示した電極X、Yに対する駆動波形を生成するための各スイッチSW1～SW5、SW1'～SW5'の制御に関する他の例を示すタイムチャートである。なお、この図19に示す例は、上記図18に示した例とはほぼ同様である。違いは、スイッチSW5、SW5'をONにするタイミングのみである。

【0167】すなわち、図18の例では、電極X、Yに差電圧(Vs)を印加して維持放電を行い、両電極X、Yの電圧をVsレベルにした後、共通電極X側のスイッチをOFFにして共通電極Xをハイインピーダンスとし、走査電極Y側の電圧降下に追従して共通電極X側の印加電圧を(+Vs/2)からグランドレベル、グランドレベルから(-Vs/2)に下げるようになっていた。これに対して、図19の例では、走査電極Y側のスイッチをOFFにして走査電極Yをハイインピーダンスとし、共通電極X側の電圧降下に追従して走査電極Y側の印加電圧を(+Vs/2)からグランドレベル、グランドレベルから(-Vs/2)に下げるようになる。

【0168】図20は、上記図12に示した電極X、Yに対する駆動波形を生成するための各スイッチSW1～SW5、SW1'～SW5'の制御例を示すタイムチャートである。なお、この図20は、直前のサブフィールドの処理において、共通電極X側のコンデンサC1、走査電極Y側のコンデンサC4に電圧(Vs/2)分の電荷が蓄積されているものとして説明している。

【0169】維持放電期間において、共通電極X側では、まず、スイッチSW1、SW3、SW4がON、スイッチSW2、SW5がOFFとなる。これにより、第1の信号ラインOUTAの電圧は、スイッチSW1を介して与えられる電圧レベル(+Vs/2)となる。そして、この第1の信号ラインOUTAの電圧(+Vs/2)がスイッチSW4を介して出力ラインOUTCに出力され、負荷20に印加される。

【0170】また、この段階では、スイッチSW1、SW3がONとなってコンデンサC1が電源に接続されることとなるので、当該コンデンサC1には、スイッチSW1を介して与えられる電圧(Vs/2)に応じた電荷が蓄積される。

【0171】一方、走査電極Y側では、共通電極X側のスイッチSW1、SW3、SW4がONになると同時にスイッチSW2'がONになり、それから少し遅れてスイッチSW5'もONとなる。このとき、残りのスイッチSW1'、SW3'、SW4'はOFFのまま維持される。

【0172】このようにスイッチSW2'がONとなって第1の信号ラインOUTAが接地されることにより、第4の信号ラインOUTBの電圧は、コンデンサ

38

C4に蓄積されている電荷に応じた電圧(Vs/2)分だけグランドレベルから下がった電位(-Vs/2)となる。そして、スイッチSW5'がスイッチSW2'から少し遅れてONとなることにより、第4の信号ラインOUTBの電圧(-Vs/2)が出力ラインOUTCを介して負荷20に印加される。これにより、負荷20の電極X、Yの間に差電圧(Vs)が印加される。

【0173】負荷20に差電圧(Vs)を印加して維持放電を行った後は、共通電極X側では、スイッチSW4をOFFにして電圧(+Vs/2)の供給を遮断し、スイッチSW5をONとする。これにより、共通電極Xに対する印加電圧をグランドレベルに戻す。次のタイミングでは、共通電極X側の5つのスイッチSW1～SW5がすべてOFFとなる。次に、スイッチSW2がONになり、それから少し遅れてスイッチSW5もONとなる。このとき、残りのスイッチSW1、SW3、SW4はOFFのまま維持される。

【0174】このようにスイッチSW2がONとなって第1の信号ラインOUTAが接地されることにより、第2の信号ラインOUTBの電圧は、コンデンサC1に蓄積されている電荷に応じた電圧(Vs/2)分だけグランドレベルから下がった電位(-Vs/2)となる。そして、スイッチSW5がONとなることにより、第2の信号ラインOUTBの電圧(-Vs/2)が出力ラインOUTCを介して負荷20に印加される。

【0175】一方、走査電極Y側では、上記共通電極X側でスイッチSW5をONとするよりも前の時点で、スイッチSW5'をOFFにして電圧(-Vs/2)の供給を遮断した後、スイッチSW4'をONとすることにより、走査電極Yに対する印加電圧をグランドレベルに戻す。

【0176】また、上記共通電極X側でスイッチSW5をONとしてから少し遅れて、スイッチSW1'、SW3'、SW4'をONにすることにより、走査電極Yに対する印加電圧を正の電圧(+Vs/2)に上げる。以上により、共通電極Xに正負の電圧(±Vs/2)を印加するタイミングを、走査電極Yに正負の電圧(±Vs/2)を印加するタイミングよりも常に早くすることができる。

【0177】図21は、上記図13に示した電極X、Yに対する駆動波形を生成するための各スイッチSW1～SW5、SW1'～SW5'の制御例を示すタイムチャートである。なお、この図21は、直前のサブフィールドの処理において、共通電極X側のコンデンサC1、走査電極Y側のコンデンサC4に電圧(Vs/2)分の電荷が蓄積されているものとして説明している。

【0178】維持放電期間において、走査電極Y側では、まず、2つのスイッチSW2'、SW5'がONとなり、残りのスイッチSW1'、SW3'、SW4'がOFFとなる。このようにスイッチSW2'がONとな

(20)

特許3201603

39

って第1の信号ラインOUTA'が接地されることにより、第4の信号ラインOUTB'の電圧は、コンデンサC4に蓄積されている電荷に応じた電圧($V_s/2$)分だけグランドレベルから下がった電圧($-V_s/2$)となる。このとき、スイッチSW5'はスイッチSW2'とともにONとなっているので、第4の信号ラインOUTB'の電圧($-V_s/2$)が出力ラインOUTC'を介して負荷20に印加される。

【0179】一方、共通電極X側では、最初はスイッチSW1, SW3, SW5がON、スイッチSW2, SW4がOFFとなっている。そして、走査電極Y側のスイッチSW2', SW5'をONにした後で、スイッチSW5をOFFにしてスイッチSW4をONとする。すなわち、スイッチSW1, SW3, SW4をON、スイッチSW2, SW5をOFFの状態にする。

【0180】これにより、第1の信号ラインOUTAの電圧は、スイッチSW1を介して与えられる電圧レベル($+V_s/2$)となる。そして、この第1の信号ラインOUTAの電圧($+V_s/2$)が、適当なタイミングでONとなったスイッチSW4を介して出力ラインOUTCに出力され、負荷20に印加される。これにより、負荷20の電極X, Yの間に差電圧(V_s)が印加され、維持放電が行われる。

【0181】また、この段階では、スイッチSW1, SW3がONとなってコンデンサC1が電源に接続されることとなるので、当該コンデンサC1には、スイッチSW1を介して与えられる電圧($V_s/2$)に応じた電荷が蓄積される。

【0182】負荷20に差電圧(V_s)を印加して維持放電を行った後は、走査電極Y側において、スイッチSW5'をOFFにして電圧($-V_s/2$)の供給を遮断した後、スイッチSW4'をONとする。これにより、走査電極Yに対する印加電圧をグランドレベルに戻す。さらに、スイッチSW2'をOFFにした後、スイッチSW1', SW3'をONにする。このとき、スイッチSW4'はON、スイッチSW5'はOFFに維持したままである。

【0183】これにより、走査電極Y側では、第3の信号ラインOUTA'の電圧が、スイッチSW1'を介して与えられる電圧レベル($+V_s/2$)となる。そして、この第3の信号ラインOUTA'の電圧($+V_s/2$)が、スイッチSW4'を介して出力ラインOUTC'に出力され、負荷20に印加される。このとき、共通電極X側には正の電圧($+V_s/2$)が印加されたままで、負荷20の電極X, Yは同電位となる。

【0184】次に、走査電極Y側において、スイッチSW4'をOFFにして電圧($+V_s/2$)の供給を遮断した後、スイッチSW5'をONすることにより、走査電極Yに対する印加電圧をグランドレベルに戻す。

【0185】一方、共通電極X側では、走査電極Y側で

49

スイッチSW4'がOFFになると同期して、スイッチSW4をOFFとする。このとき、スイッチSW5もOFFとなっているので、共通電極Xはハイインピーダンスの状態となる。このようにすることにより、共通電極X側の電圧は、負荷20の容積の作用によって、走査電極Y側の電圧に追従してグランドレベルまで下がってくる。

【0186】このようにして走査電極Y側に負の電圧($-V_s/2$)を印加するとともに、共通電極X側に正の電圧($+V_s/2$)を印加し、両電極X, Yの電圧をグランドレベルに戻した後は、これと逆のスイッチング制御を引き続いて行う。これにより、走査電極Y側に正の電圧($+V_s/2$)を印加するとともに、共通電極X側に負の電圧($-V_s/2$)を印加する。以降同様の制御が交互に繰り返されていく。

【0187】図22は、上記図13に示した電極X, Yに対する駆動波形を生成するための各スイッチSW1～SW5, SW1'～SW5'の制御に関する他の例を示すタイムチャートである。なお、この図22に示す例は、上記図21に示した例とほぼ同様である。違いは、スイッチSW5, SW5'をONにするタイミングのみである。

【0188】すなわち、図21の例では、電極X, Yに差電圧(V_s)を印加して維持放電を行った後、共通電極XのスイッチSW4, SW5をOFFにして共通電極X側をハイインピーダンスとし、走査電極Y側の電圧降下に追従して共通電極X側の印加電圧を($-V_s/2$)に下げるようになっていた。これに対して、図22の例では、走査電極Y側のスイッチSW4', SW5'をOFFにして走査電極Y側をハイインピーダンスとし、共通電極X側の電圧降下に追従して走査電極Y側の印加電圧を($-V_s/2$)に下げるようになる。

【0189】図23は、第1の実施形態による駆動装置の他の構成例を示す図である。この図23において、図2あるいは図5に示した符号と同一の符号を付したもののは、同一の機能を有するものであるので、重複する説明は省略する。なお、図23では、代表として走査電極Y側の構成のみを詳細に示しているが、共通電極X側の電源回路43およびドライバ回路44にも、走査電極Y側の電源回路43'およびドライバ回路44'とはほぼ同様の構成が備えられている。

【0190】本実施形態では、電荷蓄積用のコンデンサとして、走査電極Y側にC4, C5の2つのコンデンサを用いている点で、1つのコンデンサC4のみを用いている図5の例と異なっている。例えば、一方のコンデンサC4には電解コンデンサを用い、他方のコンデンサC5にはフィルムコンデンサを用いる。このように、電解コンデンサC4の他にフィルムコンデンサC5も用いることにより、高周波領域においても安定的な動作を実現することができる。また、電解コンデンサC4が容積と

(21)

特許3201603

41

して機能しにくい低温状態のときにも、フィルムコンデンサC5によって動作を補完することができる。なお、1つのコンデンサC4のみを用いる図5の例の場合、当該コンデンサC4はフィルムコンデンサと並列コンデンサの両側を用いても良い。

【0191】図24は、上記図23のように構成した駆動装置による維持放電期間における駆動波形の詳細例を示すタイムチャートである。なお、この図24において、第3の信号ラインOUTA'、第4の信号ラインOUTB'、出力ラインOUTC'の駆動波形中で二重線によって示した部分は、ローランビーダンスの期間、すなわち、スイッチSW1'～SW5'の何れかがONとなっている期間である。

【0192】3つのスイッチSW1'～SW3'のスイッチング動作によって、第3の信号ラインOUTA'の電圧を正の電圧(+Vs/2)とグランドレベルとの間でスイングさせるとともに、第4の信号ラインOUTB'の電圧をグランドレベルと負の電圧(-Vs/2)との間でスイングさせること、更に第1、第2の信号ラインOUTA'、OUTB'に印加された上記電圧を2つのスイッチSW4'、SW5'のスイッチング動作によって出力ラインOUTC'に選択的に出力することは、上述した通りである。よって、ここではその詳しい説明は省略する。

【0193】この図24で注目したいのは、3つのスイッチSW1'～SW3'のスイッチング動作によって第1および第2の信号ラインOUTA'、OUTB'の電圧を固定した後に、スイッチSW4'またはスイッチSW5'をONとしている点である。すなわち、この図24に示すタイムチャートでは、負荷20Ωに対して実際に電圧を印加するタイミングは、スイッチSW4'、SW5'をONにするタイミングによって決めている。

【0194】図25は、上記図23のように構成した駆動装置による維持放電期間における駆動波形の他の例を示すタイムチャートである。この図25で注目したいのは、3つのスイッチSW1'～SW3'のスイッチング動作によって第1および第2の信号ラインOUTA'、OUTB'の電圧を固定する前に、あらかじめスイッチSW4'またはスイッチSW5'をONとしている点である。

【0195】このようにすることにより、3つのスイッチSW1'～SW3'のスイッチング動作によって第1および第2の信号ラインOUTA'、OUTB'に上記電圧を出力した瞬間に、その何れかの電圧を負荷20Ωに対して直ちに印加することができる。よって、スイッチSW1'～SW5'の何れもOFFとなっている無駄な期間を少なくすることができ、図24が示す動作より動作の高速化を図ることができる。

【0196】(第2の実施形態)次に、本発明の第2の実施形態について説明する。図26は、第2の実施形態

42

による駆動装置の構成例を示す図である。なお、この図26において、図2に示した駆動装置と同様の機能を有する部分には同一の符号を付し、重複する説明は省略する。

【0197】上記図2に示した駆動装置では、スイッチSW4はドライバ回路44内に備えられ、電源回路43内のコンデンサC1の両端にスイッチSW5と共に直列に接続されていた。これに対して、図26に示す第2の実施形態では、スイッチSW4は電源回路43内に備えられ、コンデンサC1の一方の端子と第1の信号ラインOUTA'との間に接続される。その他の構成は図2と同じである。

【0198】この図26に示す構成において、出力ラインOUTCを介して負荷20Ωに正の電圧(+Vs/2)を印加しながらコンデンサC1に電荷を蓄積するときに、スイッチSW1'、SW3'、SW4をONにすることは第1の実施形態と同様である。また、コンデンサC1に蓄積された電荷を利用して出力ラインOUTCを介して負荷20Ωに負の電圧(-Vs/2)を印加するときに、スイッチSW2'、SW5'をONにすることも第1の実施形態と同様である。その際の共通電極Xおよび走査電極Yに対する印加電圧の駆動波形は、第1の実施形態で説明したのと同様に様々なパターンを適用することができる。

【0199】このように構成した第2の実施形態によれば、負荷20Ωに電圧を印加するときに電流がスイッチを経由することによる電圧ドロップの総計を少なくすることができ、電力ロスを抑制することができる。すなわち、負荷20Ωに正の電圧(+Vs/2)を印加するときに、第1の実施形態の場合はスイッチSW1'、SW4の2つのスイッチを電流が経由するのに対し、第2の実施形態では、1つのスイッチSW1'を経由するだけで出力ラインOUTCを介して正の電圧(+Vs/2)が負荷20Ωに印加される。したがって、スイッチ1個分だけ電圧ドロップを少なくすることができる。

【0200】また、上記図26では、電源回路43、ドライバ回路44は共に、PDPが備える全ての表示ラインに共通な回路として構成する場合を示しているが、ドライバ回路44については、後述する第8および第9の実施形態のように、これを各表示ライン毎にそれぞれ備えたLSI構成とすることも可能である。このようにドライバ回路44をLSI構成とした場合、第1の実施形態では各表示ライン毎に2つのスイッチSW4'、SW5'が必要になるが、第2の実施形態では、各表示ラインに必要なスイッチはスイッチSW5'の1個だけで良く、スイッチ総数を大幅に少なくすることができる。これにより、回路規模を小さくすることができるとともに、コストを抑えることができるようになる。

【0201】図27は、第2の実施形態による駆動装置の他の構成例を示す図である。この図27において、図

(22)

特許3201603

43

23に示した符号と同一の符号を付したものは、同一の機能を有するものであるので、重複する説明は省略する。

【0202】この図27の例では、スイッチSW4¹は電源回路43¹内に備えられ、コンデンサC4、C5の各一方の端子と第3の信号ラインOUTA¹との間に接続されている。これにより、3つのスイッチSW1¹、SW4¹、SW5¹が電圧(Vs/2)の電源ラインとグランドとの間に直列に接続される。その他の構成は図23と同じである。

【0203】図28は、上記図27のように構成した駆動装置による維持放電期間における駆動波形の詳細例を示すタイムチャートである。5つのスイッチSW1¹～SW5¹のスイッチング制御によって正または負の電圧(±Vs/2)を出力ラインOUTC¹に交互に印加する基本的な動作は、上述した第1の実施形態と同様である。よって、ここでは詳しい説明は省略する。

【0204】この図28で注目したいのは、正の電圧(+Vs/2)を出力ラインOUTC¹に出力する際に3つのスイッチSW1¹、SW3¹、SW4¹をONにするのであるが、スイッチSW3¹をONにするタイミングを、スイッチSW1¹、SW4¹をONにするタイミングよりも明示的に早くしている点である。

【0205】複数のスイッチを同時に切り替えるように制御した場合、素子の製造バラツキなどを含む様々な要因によって当該複数のスイッチが常に同時にスイッチングされるとは限らず、多少の時間差を生じることがある。この場合、スイッチSW3¹のONになるタイミングが、スイッチSW1¹、SW4¹のONになるタイミングよりも早い方にずれるのであれば良いが、逆にスイッチSW3¹がONになるタイミングが遅れると、回路がうまく動作しないことがある。そのため、この図28の例では、スイッチSW3¹をONにするタイミングを明示的に早くし、回路が安定的に動作することを保証している。

【0206】なお、この図28の例では、負の電圧(-Vs/2)を出力ラインOUTC¹に出力する際にも2つのスイッチSW2¹、SW5¹をONにする際にも、スイッチSW2¹をONにするタイミングをスイッチSW5¹をONにするタイミングよりも明示的に早くしている。

【0207】(第3の実施形態)次に、本発明の第3の実施形態について説明する。図29は、第3の実施形態による駆動装置の構成例を示す図である。なお、この図29において、図2に示した駆動装置と同様の機能を有する部分には同一の符号を付し、重複する説明は省略する。

【0208】上記図2に示した駆動装置では、スイッチSW5はドライバ回路44内に備えられ、電源回路43内のコンデンサC1の両端にスイッチSW4と共に直列

44

に接続されていた。これに対して、図29に示す第3の実施形態では、スイッチSW5は電源回路43内に備えられ、コンデンサC1の他方の端子と第2の信号ラインOUTB¹との間に接続される。その他の構成は図2と同じである。

【0209】この図29に示す構成において、出力ラインOUTCを介して負荷20に正の電圧(+Vs/2)を印加するときには、例えば、スイッチSW1¹、SW4¹をONにする。また、コンデンサC1に蓄積された電荷を利用して出力ラインOUTCを介して負荷20に負の電圧(-Vs/2)を印加するときには、スイッチSW2¹、SW5¹をONにする。その際の共通電極Xおよび走査電極Yに対する印加電圧の駆動波形は、第1の実施形態で説明したのと同様に様々なパターンを適用することが可能である。

【0210】このように構成した第3の実施形態によれば、負荷20の容量に蓄積された電荷を放電するタイミングにおいて、電流がスイッチを経由することによる電圧ドロップの総計を少なくすることができ、電力ロスを抑制することができる。すなわち、負荷20に印加された正の電圧(+Vs/2)をグランドレベルに戻すために、負荷20に蓄積された電荷をグランドに流す際、第1の実施形態の場合はスイッチSW5¹、SW3¹の2つのスイッチを電流が経由する。これに対し、第3の実施形態では、1つのスイッチSW3¹を経由するだけで放電を行うことができる。したがって、第1の実施形態と比べてスイッチ1個分だけ電圧ドロップを少なくすることができる。

【0211】また、後述する第8および第9の実施形態のように、ドライバ回路44をLSI構成とした場合、第1の実施形態では各表示ライン毎に2つのスイッチSW4¹、SW5¹が必要になるが、第3の実施形態では、各表示ラインに必要なスイッチはスイッチSW4¹の1個だけで良く、スイッチ総数を大幅に少なくすることができる。これにより、回路規模を小さくすることができるとともに、コストを抑えることができるようになる。

【0212】図30は、第3の実施形態による駆動装置の他の構成例を示す図である。この図30において、図23に示した符号と同一の符号を付したものは、同一の機能を有するものであるので、重複する説明は省略する。

【0213】この図30の例では、スイッチSW5¹は電源回路43¹内に備えられ、コンデンサC4、C5の各他方の端子と第4の信号ラインOUTB¹との間に接続されている。その他の構成は図23と同じである。

【0214】図31は、上記図30のように構成した駆動装置による維持放電期間における駆動波形の詳細例を示すタイムチャートである。5つのスイッチSW1¹～SW5¹のスイッチング制御によって正または負の電圧(±Vs/2)を出力ラインOUTC¹に交互に印加す

(23)

特許3201603

45

る基本的な動作は、上述した第1の実施形態と同様である。よって、ここでは詳しい説明は省略する。

【0215】この図31で注目したいのは、スイッチSW1'、SW4'をONにして正の電圧(+Vs/2)を負荷20に印加する際に、スイッチSW3'、SW5'はONとせず、正の電圧(+Vs/2)の印加によって負荷20に蓄積された電荷を放電して印加電圧をグランドレベルに戻す際に、当該スイッチSW3'、SW5'をONにしている点である。この図31の例では、スイッチSW3'がONとされるまでスイッチSW1'をONの状態に維持することにより、負荷20の電荷を放電するタイミングでコンデンサC4、C5に電荷を蓄積するようにしている。このようにすることにより、各スイッチSW1'～SW5'の切り替えを無駄なくより効率的に行うことができる。

【0216】また、この図31の例では、スイッチSW1'をONにするタイミングを、スイッチSW4'をONにするタイミングよりも明示的に早くしている。これは、図28で説明した第2の実施形態と同様に、スイッチSW1'、SW4'の切り替えタイミングを同時とはせず、スイッチSW1'をONにするタイミングを明示的に早くすることで、回路が安定的に動作できるようにしているものである。

【0217】なお、この図31の例でも、負の電圧(-Vs/2)を出力ラインOUTC'に出力するためには2つのスイッチSW2'、SW5'をONにする際にも、スイッチSW2'をONにするタイミングをスイッチSW5'をONにするタイミングよりも明示的に早くしている。

【0218】(第4の実施形態)次に、本発明の第4の実施形態について説明する。図32は、第4の実施形態による駆動装置の構成例を示す図である。なお、この図32において、図2に示した駆動装置と同様の機能を有する部分には同一の符号を付し、重複する説明は省略する。

【0219】図32に示す第4の実施形態では、図2に示した構成に加え、オフセット回路45を更に備えている。オフセット回路45は、グランドからオフセット電圧Vbpの電源およびスイッチSW6を介して第1の信号ラインOUTAに接続される構成と、グランドからオフセット電圧Vbnの電源およびスイッチSW7を介して第1の信号ラインOUTAに接続される構成とを備えている。

【0220】このような構成により、スイッチSW6がONのときは、オフセット回路45から正の電圧(+Vbp)が第1の信号ラインOUTAに出力される。また、スイッチSW7がONのときは、オフセット回路45から負の電圧(-Vbn)が第1の信号ラインOUTAに出力される。したがって、このオフセット電圧(+Vbpまたは-Vbn)を利用して印加した電圧を第1の信号ラ

46

インOUTAから出力ラインOUTCを介して負荷20に印加することができる。また、このオフセット電圧を利用してコンデンサC1に蓄積されている電荷に応じた電圧(Vs/2)分だけオフセット電圧レベル(+Vbpあるいは-Vbn)から下がった電位を第2の信号ラインOUTBに設定し出力ラインOUTCを介して負荷20に電圧を印加することもできる。

【0221】このように第4の実施形態によれば、オフセット回路45を設けることにより、第1の信号ライン10 OUTAや第2の信号ラインOUTBに(±Vs/2)以外の電圧をも出力することができ、負荷20に印加する電圧の自由度を高めることができる。例えば、維持放電期間以外で使用する電圧をこのオフセット回路45によって作ることも可能である。

【0222】図33は、第4の実施形態による駆動装置の他の構成例を示す図である。この図33において、図23および図32に示した符号と同一の符号を付したものは、同一の機能を有するものであるので、重複する説明は省略する。この図33の例では、上述した共通電極X側のオフセット回路45と同様に構成されたオフセット回路45'を走査電極Y側に備えている。

【0223】図34は、上記図33のように構成した駆動装置による維持放電期間における駆動波形の詳細例を示すタイムチャートである。ここでは特に、オフセット回路45'のスイッチSW6'、SW7'をONとしたときに第1および第2の信号ラインOUTA'、OUTB'に出力される電圧の様子を示している。

【0224】図34に示すように、第3の信号ラインOUTA'の電圧がグランドレベル、第4の信号ラインOUTB'の電圧が(-Vs/2)のときに、オフセット回路45'のスイッチSW6'をONにすると、第3の信号ラインOUTA'の電圧は(+Vbp)、第4の信号ラインOUTB'の電圧は(-Vs/2+Vbp)に遷移する。また、その後スイッチSW6'をOFFにしてスイッチSW7'をONにすると、第3の信号ラインOUTA'の電圧は(-Vbn)、第4の信号ラインOUTB'の電圧は(-Vs/2-Vbn)に遷移する。

【0225】何れにしても、第3の信号ラインOUTA'と第4の信号ラインOUTB'との間の電位差は、常に(-Vs/2)に保たれている。なお、図32あるいは図33に示す構成において、共通電極Xおよび走査電極Yに対する印加電圧の駆動波形は、第1の実施形態で説明したのと同様に様々なパターンを適用することが可能である。

【0226】(第5の実施形態)次に、本発明の第5の実施形態について説明する。第5の実施形態は、上述の第1～第4の実施形態で示した回路に対して、リセット期間中に走査電極Yに書き込み電圧Vw' (=Vs/2+Vw)を印加する回路と、アドレス期間中に走査電極Yに電圧(-Vs/2)を印加する回路とを更に設けた

(24)

特許3201603

47

ものである。

【0227】図35は、第1の実施形態による駆動装置の具体的構成例を示す図である。この図35は、第1の実施形態で示した回路を更に応用したものであり、図5に示した符号と同一の符号を付したもののは、同一の機能を有するものである。重複する説明は省略する。また、ここでは便宜上、電荷蓄積用の電解コンデンサとフィルムコンデンサとを区別せたものをC1、C4と記している。

【0228】この図35に示す例では、走査電極Y側に、書き込み電圧 V_w (= $V_s/2 + V_w$)を印加する回路を設けている。すなわち、書き込み電圧を生成するための V_w の電源ラインと第4の信号ラインOUTB'の間にスイッチSW9'を設けている。このスイッチSW9'は、抵抗R1を含んでいる。

【0229】さらに、走査電極Y側には、以上の構成の他に、3つのトランジスタTr21、Tr22、Tr23と、2つのダイオードD16、D17とを見に備えている。トランジスタTr21は、これがONとなることにより、これに接続された抵抗R2の作用によって、走査電極Yに印加するパルス電圧の波形を鈍らせるためのものである。このトランジスタTr21と抵抗R2は、スイッチSW5'と共に並列に接続されている。

【0230】また、トランジスタTr22、Tr23は、アドレス期間中にスキャンドライバ31'の両端に($V_s/2$)の電位差を与えるためのものである。すなわち、維持放電期間中にはスイッチSW2'、SW5'がONとなることにより、コンデンサC4に蓄積されていた電荷に応じてスキャンドライバ31'の上側の電圧が($-V_s/2$)となるが、スキャンドライバ31'内のダイオードの作用によってスキャンドライバ31'の下側の電圧も($-V_s/2$)となり、スキャンドライバ31'の両端に($V_s/2$)の電位差を与えることができない。そのため、走査電極Y側に印加される電圧が、走査電極Y側に印加される電圧と、走査電極Y側に印加される電圧との間に電位差が生じる。

【0231】これに対し、アドレス期間中には、スイッチSW2'およびトランジスタTr22がONとなることによってスキャンドライバ31'の上側の電圧がグランドレベルとされる。また、このときトランジスタTr23がONとなることによって、コンデンサC4に蓄積されていた電荷に応じて第4の信号ラインOUTB'に印加される負の電圧($-V_s/2$)がスキャンドライバ31'の下側に印加され、スキャンドライバ31'によってスキャンパルス出力時には、走査電極Yに負の電圧($-V_s/2$)を印加することが可能となる。

【0232】また、一方のダイオードD16は、共通電極Xに正の電圧($+V_s/2$)を印加するタイミングでスキャンドライバ31'からグランドに電流を流すときに利用される。スキャンドライバ31'からグランドに電流を流す経路としては、スイッチSW2'をONにして流す経路と、スイッチSW3'、SW5'をONにして

48

て流す経路とが存在するが、スイッチSW2'側の経路の途中にダイオードD16を設けることにより、スイッチSW2'を介してグランドに電流を流すようにしている。このように構成することにより、スイッチを経由することによる電圧ドロップの総計を少なくすることができる。電力ロスを抑制することができる。

【0233】また、もう一方のダイオードD17は、共通電極Xに印加されている正の電圧($+V_s/2$)をグランドレベルに戻すタイミングでグランドからスキャンドライバ31'に電流を流すときに利用される。グランドからスキャンドライバ31'に電流を流す経路としては、スイッチSW3'、第4の信号ラインOUTB'およびダイオードD17を経由する経路と、スイッチSW2'、第3の信号ラインOUTA'およびスイッチSW4'を経由する経路とがあるが、ダイオードD17を設けてこの経路で電流を流すようにすることにより、経由するスイッチの段数を少なくして電圧ドロップの総計を少なくすることができる。

【0234】図36は、上記図35の構成した駆動装置による走査電極Y側の駆動波形を示すタイムチャートであり、1サブフィールドのうちリセット期間と維持放電期間のみを示している。

【0235】この図36に示すように、リセット期間においては、スイッチSW1'、SW3'をONにしてコンデンサC4に電圧($V_s/2$)に応じた電荷を蓄積した後、スイッチSW1'、SW3'をOFFにし、スイッチSW4'と共にスイッチSW9'をONとすることにより、第3の信号ラインOUTA'の電圧が、コンデンサC4の電圧($V_s/2$)と第4の信号ラインOUTB'の電圧 V_w とを加算した電圧レベルまで引き上げられる。そして、その電圧($V_s/2 + V_w$)が負荷20の走査電極Yに印加される。このとき、スイッチSW9'内に設けられた抵抗R1の作用により、図36のように電圧は徐々に上昇していく。

【0236】また、このとき共通電極Xに負の電圧($-V_s/2$)を印加することにより、共通電極Xと走査電極Yとの電位差が($V_s + V_w$)となり、図101のリセット期間に示した全面書き込みパルスと同じ電位差を共通電極Xと走査電極Yとの間にかけることができる。

【0237】この場合、スイッチSW9'の素子に印加される電圧は最大でも V_w である。したがって、この素子の耐圧は V_w とすれば良く、従来の耐圧に比べて格段に低く抑えることができる。

【0238】また、第3の信号ラインOUTA'と第4の信号ラインOUTB'との間の電圧および第1の信号ラインOUTA'と第2の信号ラインOUTBとの間の電圧は、實に $V_s/2$ 以下であるため、スイッチSW4'、SW5'、SW6'、スキャンドライバ31'の耐圧は $V_s/2$ 以上であれば良い。したがって、低耐圧回路にて全面書き込みパルスの電圧($V_s + V_w$)

(25)

特許3201603

49

w) を共通電極Xおよび走査電極Y間に印加することが可能となり、製造コストの低減を実現することができる。

【0238】一方、維持放電期間においては、スイッチSW9'はONとせず、その他のスイッチSW1'～SW5'をこれまでの実施形態と同様に制御することにより、正負の電圧($\pm V_s/2$)を負荷20の走査電極Yに交互に印加する。

【0239】図37は、第5の実施形態による駆動装置の他の具体的構成例を示す図である。なお、この図37において、図35に示した符号と同一の符号を付したものは、同一の機能を有するものであるので、重複する説明は省略する。

【0240】この図37に示す例では、走査電極Y側に、電圧Vw'を印加する回路を設けている。すなわち、電圧Vw'の電源ラインと第4の信号ラインOUTB'との間にスイッチSW9'を設けている。この電圧電圧Vw'は、電圧(Vs/2)よりも大きな電圧である。例えば、リセット期間において負荷20に印加する全面書き込みパルスの電圧(Vs/2+Vw)と同じ電圧値とする。このように構成した場合において、負荷20に電圧Vw'を印加する場合は、スイッチSW9'をONとすることにより、トランジスタTr23と並列に設けられたダイオードD17およびスキャンドライバ31'内のダイオードの経路を通して電圧Vw'を印加する。この電圧Vw'の印加時は、走査電極Yでは、スイッチSW9'以外のスイッチは全てOFFとする。

【0241】図38は、上記図37のように構成した駆動装置によるPDPの駆動波形を示すタイムチャートであり、1フレームを構成する複数のサブフィールドのうちの1サブフィールド分を示している。なお、この図38は、直前のサブフィールドの処理において、共通電極X側のコンデンサC1、走査電極Y側のコンデンサC4に電圧(Vs/2)分の電荷が蓄積されているものとして説明している。

【0242】リセット期間においては、まず、共通電極X側のスイッチSW2、SW5がONとなり、スイッチSW1、SW3、SW4がOFFとなる。これにより、第2の信号ラインOUTB'の電圧が、コンデンサC1に蓄積されている電荷に応じて(-Vs/2)に引き下げる。そして、その電圧(-Vs/2)がスイッチSW5を介して出力ラインOUTCに出力され、負荷20の共通電極Xに印加される。

【0243】一方、走査電極Y側では、スイッチSW9'がONとなり、スイッチSW1'～SW4'はOFFとなる。これにより、第4の信号ラインOUTB'の電圧が、スイッチSW9'を介して与えられる電圧Vw'($=Vs/2+Vw$)のレベルまで引き上げられる。そして、その電圧Vw'がダイオードD17とスキャンドライバ31'内のダイオードを介して出力ライン

50

OUTCに出力され、負荷20の走査電極Yに印加される。

【0244】これにより、共通電極Xと走査電極Yとの電位差が(Vs+Vw)となり、図101のリセット期間に示した全面書き込みパルスと同じ電位差を共通電極Xと走査電極Yとの間にかけることができる。この場合、スイッチSW9'の素子に印加される電圧は最大でもVw'=(Vs/2+Vw)である。したがって、この素子の耐圧は(Vs/2+Vw)とすれば良く、従来の耐圧に比べて低く抑えることができる。

【0245】また、第3の信号ラインOUTA'と第4の信号ラインOUTB'との間の電圧および第1の信号ラインOUTAと第2の信号ラインOUTBとの間の電圧は、常にVs/2以下であるため、スイッチSW4'、SW5'、SW4、SW5、スキャンドライバ31'の耐圧はVs/2以上であれば良い。したがって、低耐圧回路にて全面書き込みパルスの電圧Vw'=(Vs+Vw)を共通電極Xおよび走査電極Y間に印加することが可能となり、製造コストの低減を実現することができる。

【0246】このリセット期間では、スイッチSW9'をONにして走査電極Yに対して印加する電圧は、抵抗R1の作用によって、印加電圧が時間経過と共に連続的に変化するような波形(これを鈍波と呼ぶ)としている。このような鈍波を印加すると、鈍波の立ち上がり中のパルス電圧が放電電圧に達したセルから順次放電が行われるため、実質的に各セルには、最適電圧(放電開始電圧にほぼ等しい電圧)が印加されたことになる。

【0247】なお、時間経過に対して印加電圧が徐々に変化するパルスとして、単位時間当たりの変化率が徐々に変化する鈍波を印加するようにも良いし、単位時間当たりの変化率が一定の三角波等を印加するようにしても良い。

【0248】次に、共通電極X側のスイッチSW5をOFFにし、スイッチSW4をONにして、共通電極Xの電圧をグランドレベルにする。一方では、走査電極Y側のスイッチSW9'をOFFにし、スイッチSW1'、SW3'、SW5'をONにして、走査電極Yの電圧をグランドレベルに戻す。その後、共通電極X側のスイッチSW2、SW5をOFF、スイッチSW1、SW3、SW4をONとするとともに、走査電極Y側のスイッチSW1'、SW3'、SW4'、SW5'、SW9'をOFF、スイッチSW2'、トランジスタTr21をONとする。

【0249】これにより、共通電極Xに対する印加電圧がグランドレベルから(Vs/2)まで引き上げられるとともに、走査電極Yに対する印加電圧が(-Vs/2)に下げられる。このとき、トランジスタTr21をONにすることによって、図38のように電圧は徐々に下降していく。これにより、全セルにおいて壁電荷自身

の電圧が放電開始電圧を越えて放電が開始される。このときも純波の印加によって微弱放電が行われ、蓄積されていた壁電荷が一部を除いて消去される。

【0250】なお、共通電極Xに対する印加電圧についても、共通電極X側のスイッチSW5と並列に上記トランジスタTr21および抵抗Rと同様の構成を設ければ、グランドレベルから $(-V_s/2)$ レベルまで電圧が連続的に下落していくようになることが可能である。

【0251】次に、アドレス期間においては、表示データに応じて各セルのON/OFFを行うために、順順次でアドレス放電が行われる。このとき、共通電極X側では、スイッチSW1、SW3、SW4がONとなり、スイッチSW2、SW5がOFFとなることにより、第1の信号ラインOUTAの電圧が、スイッチSW1を介して与えられる電圧 $(V_s/2)$ まで引き上げられる。そして、その電圧 $(V_s/2)$ がスイッチSW4を介して出力ラインOUTCに出力され、負荷20の共通電極Xに印加される。

【0252】また、ある表示ラインに相当する走査電極Yに電圧を印加するときは、スイッチSW2およびトランジスタTr22がONとなることによってスキャンドライバ31の上側の電圧がグランドレベルとされる。また、このときトランジスタTr23がONとなることによって、コンデンサC4に蓄積されていた電荷に応じて第4の信号ラインOUTBにに出力された負の電圧 $(-V_s/2)$ がスキャンドライバ31の下側に印加され、これによって順順次により選択された走査電極Yには $(-V_s/2)$ レベル、非選択の走査電極Yにはグランドレベルの電圧が負荷20の走査電極Yに印加される。

【0253】このとき、各アドレス電極A1～A10中の維持放電を起こすセル、すなわち点灯させるセルに対応するアドレス電極Ajには、電圧Vaのアドレスパルスが選択的に印加される。この結果、点灯させるセルのアドレス電極Ajと順順次で選択された走査電極Yとの間で放電が起り、これをプライミング(恒火)として共通電極Xと走査電極Yとの放電に即移行する。これにより、選択セルの共通電極Xおよび走査電極Yの上のMjの保護膜面に、次の維持放電が可能な量の壁電荷が蓄積される。

【0254】ここで、アドレス電極Ajと走査電極Yとの間での放電は、その電極間の電位差 $(V_a + V_s/2)$ によって起動し、従来の電位差 $(V_a + V_y)$ よりも低い電圧によって放電を開始させることができある。これは、リセット期間において上述のように純波を印加し、微弱放電を行うことによって、走査電極Y上の壁電荷を完全には消去せず、壁電荷をある程度残しておくことによって調整している。つまり、この残留壁電荷分と実際の印加電圧とで放電開始電圧に達すると、放電を開始させることができる。

【0255】そのため、本実施形態の駆動装置によれば、従来のようにアドレス期間中に電圧-Vyを発生させるための電源が不要となる。よって、図102に示したような電圧-Vyの電源ラインを切り離すためのトランジスタTr14等のスイッチ回路も不要となる。さらに、図38と図101を比べれば明らかのように、本実施形態の駆動装置においては、アドレス期間中に非選択パルスの電圧-Vscを発生させるための電源も不要であり、その分回路構成を単純化することができる。

【0256】その後、維持放電期間になると、共通電極Xと各表示ラインの走査電極Yとに互いに位相の異なる電圧 $(+V_s/2, -V_s/2)$ が交互に印加されて維持放電が行われ、1サブフィールドの映像表示が行われる。

【0257】この維持放電期間において、アドレス電極A1～A10の電位は、グランドレベルに維持される。通常、維持放電期間中にアドレス電極A1～A10は、共通電極Xと走査電極Yとの中間電位に設定するのが望ましい。そのため、従来の駆動装置では、図101に示すように、両電極X、Yへの印加電圧Vsの中間電位である $(V_s/2)$ にアドレス電極A1～A10の電位を設定する必要があった。これに対して、本実施形態では、両電極X、Yの中間電位はグランドレベルであるため、アドレス電極A1～A10の電位を $(V_s/2)$ に持ち上げる必要がなく、そのための回路も設けなくて済むようになる。

【0258】図39は、第5の実施形態による駆動装置の他の具体的な構成例を示す図である。なお、この図39において、図37に示した符号と同一の符号を付したもののは、同一の機能を有するものであるので、重複する説明は省略する。

【0259】上記図37の例では、電圧Vw'を印加する回路を走査電極Y側に設けていた。これに対して図39に示す例では、共通電極X側において、第1の信号ラインOUTAと出力ラインOUTCとの間に抵抗R3付きのスイッチSW10を設けるとともに、第1の信号ラインOUTAとグランドとの間に抵抗R4付きのスイッチSW11および電圧Vwnの電源を設けている。

【0260】スイッチSW10をONとすることにより、負荷20の共通電極Xには正の電圧 $(+V_s/2)$ が抵抗R3の作用によって徐々に印加されていく。また、スイッチSW11をONとすることにより、負荷20の共通電極Xには負の電圧 $(-V_{wn})$ が抵抗R4の作用によって徐々に印加されていく。

【0261】図40は、上記図39のように構成した駆動装置による共通電極X側の駆動波形を示すタイムチャートであり、1サブフィールドのうちリセット期間と維持放電期間のみを示している。

【0262】この図40に示すように、リセット期間においては、まずスイッチSW11をONとすることによ

り、負荷20の共通電極Xに負の電圧($-V_{wn}$)を徐々に印加していく。なお、このときスイッチSW2, SW5もONとすることにより、コンデンサC1に蓄積されている電荷を利用して電圧($-V_s/2$)を足し込んで $-(V_{wn}+V_s/2)$ の電圧を印加することも可能である。次に、スイッチSW1, SW5をOFF、スイッチSW2, SW4をONにして、共通電極Xの電圧をグランドレベルにする。次に、スイッチSW2, SW4, SW5, SW11をOFF、スイッチSW1, SW3, SW10をONとすることにより、負荷20の共通電極Xに正の電圧($+V_s/2$)を徐々に印加していく。

【0263】一方、維持放電期間においては、スイッチSW10, SW11はONとせず、他のスイッチSW1～SW5をこれまでの実施形態と同様に制御することにより、正負の電圧($\pm V_s/2$)を共通電極Xに交互に印加する。

【0264】(第6の実施形態)次に、本発明の第6の実施形態について説明する。第6の実施形態は、上述の第1～第5の実施形態で示した回路に対して電力回收回路を更に設けたものである。

【0265】図41は、第6の実施形態による駆動装置の具体的構成例を示す図である。なお、この図41では、第5の実施形態と同様に、電圧($V_s/2$)以外の電圧 V_w を印加するための回路を共通電極X側および走査電極Y側に備えており、維持放電期間だけでなく、リセット期間およびアドレス期間に備えられた駆動を行なうための構成も表している。なお、図41において、図102に示した符号と同一の符号を付したものは、同一の機能を有するものである。

【0266】図41において、共通電極X側では、スイッチSW1, SW2は、電圧($V_s/2$)の電源ラインとグランド(GND)との間に直列に接続される。上記2つのスイッチSW1, SW2の中間からはコンデンサC1の一方の端子が接続され、このコンデンサC1のもう一方の端子とGNDとの間に、スイッチSW3が接続される。

【0267】また、スイッチSW4, SW5は、上記コンデンサC1の両端に直列に接続される。そして、これら2つのスイッチSW4, SW5の中間から負荷20の共通電極Xが接続されるとともに、電力回收回路22が接続されている。さらに、第2の信号ラインOUTBと、書き込み電圧 V_w を発生する電源ラインとの間に、抵抗R1付きのスイッチSW9が接続される。

【0268】図102に示した電力回收回路22は、負荷20に接続されたダイオードD7, D8によってコイルL1, L2と負荷20の共通電極X(出力ラインOUTC)とが分離されていたが、図41に示す例では、ダイオードD7, D8は設けていない。また、図102に示した電力回收回路22では、コンデンサC2はグラン

ドに接続されていたが、図41に示す例では第2の信号ラインOUTBに接続されている。

【0269】一方、走査電極Y側では、スイッチSW1', SW2'は、図1のA/D変換器42より発生される電圧($V_s/2$)の電源ラインとGNDとの間に直列に接続される。これら2つのスイッチSW1', SW2'の中間からはコンデンサC4の一方の端子が接続され、このコンデンサC4のもう一方の端子とGNDとの間に、スイッチSW3'が接続される。

【0270】また、コンデンサC4の一方の端子に接続されたスイッチSW4'は、ダイオードD17のカソードと接続され、ダイオードD17のアノードとコンデンサC4のもう一方の端子が接続される。コンデンサC4のもう一方の端子に接続されたスイッチSW5'は、ダイオードD16のカソードと接続され、ダイオードD16のアノードと接続される。そして、ダイオードD17のカソードと接続されるスイッチSW4'、ダイオードD16のアノードと接続されるスイッチSW5'のそれぞれの一端からスキャンドライバ31'を介して負荷20が接続されるとともに、電力回收回路33が接続されている。さらに、第4の信号ラインOUTB'、書き込み電圧 V_w を発生する電源ラインとの間に、抵抗R1'付きのスイッチSW9'が接続される。

【0271】図102に示した電力回收回路33では、コンデンサC3はグランドに接続されていたが、図41に示す例では第4の信号ラインOUTB'に接続されている。

【0272】さらに、走査電極Y側においては、以上の構成の他に、3つのトランジスタTr21～Tr23と、2つのダイオードD16, D17とを見に備える。これらのトランジスタTr21～Tr23およびダイオードD16, D17の役割については第5の実施形態で既に説明したので、ここでは重複する説明を省略する。

【0273】図42は、上記図41のように構成した駆動装置によるPDPの駆動波形を示すタイムチャートであり、1フレームを構成する複数のサブフィールドのうちの1サブフィールド分を示している。この図42に示す駆動波形は、上記図38に示した駆動波形とほぼ同様であり、その違いはリセット期間および維持放電期間における波形のみである。したがって、ここではリセット期間および維持放電期間について説明する。

【0274】なお、維持放電期間における共通電極X、走査電極Yに対する印加電圧の波形が図38と図42で異なるのは、電力回收回路の有無による違いである。すなわち、図37の回路は電力回收回路を備えていないため、L-C共振は行われず、図38に示すような波形となる。

【0275】ここで、負荷20の容量をCp、負荷20に印加する電圧の絶対値をV、負荷20に電圧を印加す

(28)

55

る際の周波数を↑とおくと、図102に示した従来例では、負荷20に充放電する際の電力ロスは、 $2Cp \cdot V^2 \cdot f$ で表される。これに対して、本実施形態においては、負荷20に印加する電圧の絶対値は従来の1/2で良く、その代わりに負荷20に電圧を印加する際の周波数が2倍となるので、負荷20に充放電する際の電力ロスは、 $2Cp \cdot (V/2)^2 \cdot (2f)$ で表され、従来の半分に抑制することができる。したがって、特に電力回收回路を設けなくても、従来と比べて省電力化を実現することができるが、第6の実施形態のように電力回路を設ければ、更に省電力化を実現することができる。

【0276】図42において、リセット期間においては、まず、共通電極X側のスイッチSW2, SW5がONとなり、スイッチSW1, SW3, SW4, SW9がOFFとなる。これにより、第2の信号ラインOUTBの電圧が、コンデンサC1に蓄積されている電荷に応じて $(-Vs/2)$ に引き下げられる。そして、その電圧 $(-Vs/2)$ がスイッチSW5を介して出力ラインOUTCに出力され、負荷20の共通電極Xに印加される。

【0277】一方、走査電極Y側では、スイッチSW1', SW4', SW9'がONとなり、スイッチSW2', SW3', SW5'はOFFとなる。これにより、出力ラインOUTC'に電圧VwとコンデンサC4に蓄積された電荷による電圧 $(Vs/2)$ とを加算した電圧を印加する。そして、その電圧 $(Vs/2 + Vw)$ が負荷20の走査電極Yに印加される。このとき、スイッチSW9'内の抵抗R1'の作用により、電圧は徐々に上昇していく。

【0278】これにより、共通電極Xと走査電極Yとの電位差が $(Vs + Vw)$ となり、図101のリセット期間に示した全面書き込みパルスと同じ電位差を共通電極Xと走査電極Yとの間にかけることができる。

【0279】次に、各スイッチを適宜制御することにより、共通電極Xおよび走査電極Yの電圧をグランドレベルに戻した後、共通電極X側と走査電極Y側とで上述した状態とは逆の状態を作り出す。すなわち、共通電極X側のスイッチSW1, SW4, SW9をON、スイッチSW2, SW3, SW5をOFFとするとともに、走査電極Y側のスイッチSW2', SW5'をON、スイッチSW1', SW3', SW4', SW9'をOFFとする。

【0280】これにより、共通電極Xに対する印加電圧がグランドレベルから $(Vs/2 + Vw)$ まで連続的に上昇していくとともに、走査電極Yに対する印加電圧が $(-Vs/2)$ に落とされる。これにより、全セルにおいて壁電荷自身の電圧が放電開始電圧を越えて放電が開始される。このとき、純波の印加によって微弱放電が行われ、蓄積されていた壁電荷が一部を除いて消去され

特許3201603

56

る。

【0281】なお、このリセット期間において、走査電極Yに対する印加電圧は、トランジスタTr21をONにすることによって、点線で示すようにグランドレベルから $(-Vs/2)$ レベルまで連続的に下降していくようにも良い。また、共通電極Xに対する印加電圧についても、共通電極X側のスイッチSW5と並列に上記トランジスタTr21および抵抗R2と同様の構成を設ければ、点線で示すようにグランドレベルから $(-Vs/2)$ レベルまで連続的に下降していくようになることが可能である。

【0282】図43は、上記図41に示した電力回收回路22, 33における電力回収の様子を示すタイミングチャートである。共通電極X側では、スイッチSW1, SW3がONになって第1の信号ラインOUTAに正の電圧 $(+Vs/2)$ が印加され、第2の信号ラインOUTBの電圧がグランドレベルとなっているとき、電力回收回路22内のトランジスタTr3をONにすると、上記コンデンサC2とグランドレベルの共通電極Xとの電位差でコイルL1と負荷20の容置によりL-C共振が行われ、コンデンサC2に回収されていた電荷がトランジスタTr3, ダイオードD3, コイルL1を通って負荷20に供給される。

【0283】このとき、走査電極Y側では、スイッチSW2'がONとなっていることにより、共通電極X側のスイッチSW3を介してコンデンサC2から共通電極Xに供給された電流は、走査電極Y側のスキャンドライバ31'内のダイオードおよびダイオードD16を通り、第3の信号ラインOUTA'、スイッチSW2'を介してグランドへと供給される。このような電流の流れによって、共通電極Xの電圧は図43のように徐々に上昇していく。そして、この共振時に発生するピーク電圧の近傍においてスイッチSW4をONとすることにより、共通電極Xの電圧を $(Vs/2)$ にクランプする。

【0284】次に、走査電極Y側において、電力回收回路33内のトランジスタTr15が更にONとされる。これにより、コンデンサC3の電圧とグランドレベルの走査電極Yの電圧との電位差により、コイルL3と負荷20の容置にてL-C共振が行われ、共通電極X側のスイッチSW3, コンデンサC1から第1の信号ラインOUTAを介してスイッチSW4を通して共通電極Xに供給された電流が、走査電極Y側のスキャンドライバ31'内のダイオードおよび電力回收回路33内のダイオードD12を通り、更にトランジスタTr15, コンデンサC3, コンデンサC4, スイッチSW2'を介してグランドへと供給される。このような電流の流れによって、走査電極Yの電圧は図43のように徐々に下降していく。このとき、その一部の電荷をコンデンサC3に回収することができる。そして、この共振時に発生するピーク電圧の近傍においてスイッチSW5'を更にONと

(29)

特許3201603

57

することにより、走査電極Yの電圧を $(-V_s/2)$ にクランプする。

【0285】次に、この状態で、走査電極Y側においてスイッチSW2'および電力回収回路33内のトランジスタTr16をONの状態にする。これにより、コンデンサC3の電圧と走査電極Yの電圧 $(-V_s/2)$ との電位差にてコイルL4と負荷20の容積によってL-C共振が行われ、コンデンサC3に回収されていた電荷がトランジスタTr16、ダイオードD13、コイルL4およびスキャンドライバ31'内のダイオードを通り、負荷20に供給される。

【0286】このとき、共通電極X側では、スイッチSW1、SW3、SW4がONとなっていることにより、走査電極Y側のスイッチSW2'、コンデンサC4を介してコンデンサC3から走査電極Yに供給された電流は、共通電極X側のスイッチSW4を通り、第1の信号ラインOUTA、コンデンサC1、スイッチSW3を介してグランドへと供給される。このような電流の流れによって、走査電極Yの電圧は図43のように徐々に上昇していく。そして、この共振時に発生するピーク電圧の近傍においてスイッチSW4'をONとすることにより、走査電極Yの電圧をグランドレベルにクランプする。

【0287】次に、共通電極X側において、スイッチSW1、SW3および電力回収回路22内のトランジスタTr4をONの状態にする。これにより、コンデンサC2の電圧と共通電極Xの電圧 $(V_s/2)$ との電位差にてコイルL2と負荷20の容積によってL-C共振が行われ、負荷20に蓄積された電荷は走査電極Y側のスイッチSW2'、SW4'、スキャンドライバ31'内のダイオードを介して、共通電極X側における電力回収回路22内のコイルL2、ダイオードD4を通り、更にトランジスタTr4、コンデンサC2、スイッチSW3を介してグランドへと供給される。このような電流の流れによって、共通電極Xの電圧は図43のように徐々に下降していく。このとき、その一部の電荷をコンデンサC2に回収することができる。そして、この共振時に発生するピーク電圧の近傍においてスイッチSW5をONとすることにより、共通電極Xの電圧をグランドレベルにクランプする。

【0288】次に、共通電極X側のスイッチSW2、SW4をONとすることにより、第1の信号ラインOUTAの電圧はグランドレベルに、第2の信号ラインOUTBの電圧は負の電圧 $(-V_s/2)$ にされる。また、走査電極Y側のスイッチSW1'、SW3'、SW5'をONとすることにより、第3の信号ラインOUTA'の電圧は $(+V_s/2)$ に、第4の信号ラインOUTB'の電圧はグランドレベルにスイングされる。

【0289】この状態で、走査電極Y側において、電力回収回路33内のトランジスタTr16をONにする

58

と、上記コンデンサC3の電圧と走査電極Yの電圧 $(+V_s/2)$ との電位差にてコイルL4と負荷20の容積によってL-C共振が行われ、コンデンサC3に回収されていた電荷がトランジスタTr16、ダイオードD13、コイルL4、スキャンドライバ31'内のダイオードを介して負荷20に供給される。

【0290】このとき、共通電極X側では、スイッチSW2、SW4がONとなっていることにより、走査電極Y側のスイッチSW3'を介してコンデンサC3から走査電極Yに供給された電流は、共通電極X側のスイッチSW4を通り、第1の信号ラインOUTA、スイッチSW2を介してグランドへと供給される。このような電流の流れによって、走査電極Yの電圧は図43のように徐々に上昇していく。そして、この共振時に発生するピーク電圧の近傍においてスイッチSW4'を更にONとすることにより、走査電極Yの電圧を $(V_s/2)$ にクランプする。

【0291】次に、共通電極X側において、スイッチSW2および電力回収回路22内のトランジスタTr4がONの状態とされる。これにより、コンデンサC2の電圧と共通電極Xの電圧との電位差にてコイルL2と負荷20の容積によってL-C共振が行われ、走査電極Y側のスイッチSW3'、コンデンサC4から第3の信号ラインOUTA'、スイッチSW4'、スキャンドライバ31'内のダイオードを介して走査電極Yに供給された電流が、共通電極X側の電力回収回路22内のコイルL2、ダイオードD4を通り、更にトランジスタTr4、コンデンサC2、コンデンサC1、スイッチSW2を介してグランドへと供給される。このような電流の流れによって、共通電極Xの電圧は図43のように徐々に下降していく。このとき、その一部の電荷をコンデンサC2に回収することができる。そして、この共振時に発生するピーク電圧の近傍においてスイッチSW5を更にONとすることにより、共通電極Xの電圧を $(-V_s/2)$ にクランプする。

【0292】次に、この状態で、共通電極X側においてスイッチSW2および電力回収回路22内のトランジスタTr3をONの状態にする。これにより、コンデンサC2の電圧と共通電極Xの電圧 $(-V_s/2)$ との電位差にてコイルL1と負荷20の容積によってL-C共振が行われ、コンデンサC2に回収されていた電荷がトランジスタTr3、ダイオードD3、コイルL1を通り、負荷20に供給される。

【0293】このとき、走査電極Y側では、スイッチSW1'、SW3'、SW4'がONとなっていることにより、共通電極X側のスイッチSW2とコンデンサC1を介してコンデンサC2から共通電極Xに供給された電流は、走査電極Y側のスキャンドライバ31'内のダイオードおよびダイオードD16を通り、第3の信号ラインOUTA'、コンデンサC4、スイッチSW3'を介

(30)

特許3201603

59

してグランドへと供給される。このような電流の流れによって、共通電極Xの電圧は図4-3のように徐々に上昇していく。そして、この共振時に発生するピーク電圧の近傍においてスイッチSW4をONとすることにより、共通電極Xの電圧をグランドレベルにクランプする。

【0294】次に、走査電極Y側において、スイッチSW1'、SW3'および電力回収回路3-3内のトランジスタTr1'をONの状態にする。これにより、コンデンサC3の電圧と走査電極Yの電圧($V_s/2$)との電位差にてコイルL3と負荷2-0の容量によってL-C共振が行われ、負荷2-0に蓄積された電荷は共通電極X側のスイッチSW2、SW4を介して、走査電極Y側におけるキャンドライバ3-1内のダイオードを通り、更に電力回収回路3-3内のコイルL3、ダイオードD1-2、トランジスタTr1'、コンデンサC3、スイッチSW3'を介してグランドへと供給される。このような電流の流れによって、走査電極Yの電圧は図4-3のように徐々に下降していく。このとき、その一部の電圧をコンデンサC3に回収することができる。そして、この共振時に発生するピーク電圧の近傍においてスイッチSW5'をONとすることにより、走査電極Yの電圧をグランドレベルにクランプする。

【0295】図4-4は、第6の実施形態による駆動装置の他の具体的構成例を示す図である。なお、この図4-4において、図4-1に示した符号と同一の符号を付したものには、同一の機能を有するものであるので、重複する説明は省略する。

【0296】共通電極X側について説明すると、図4-4に示す駆動装置では、図4-1に示した駆動装置と同様、電力回収回路2-2はコイルL1、L2の2系統で構成されている。また、コイルL1、L2と負荷2-0の共通電極X(出力ラインOUTC)とは、複数のダイオードD7、D8によって分離されている。電力回収回路2-2のコイルL1と第2の信号ラインOUTBとの間、およびコイルL2と第1の信号ラインOUTAとの間にそれぞれ接続されたダイオードD18、D19は、走査電極Y側のダイオードD16、D17と同様の役割を持つものである。

【0297】さらに、電力回収回路2-2は、クランプ用のダイオードとして4つのダイオードD20～D23を備えている。ダイオードD20、D21は、第1の信号ラインOUTAと第2の信号ラインOUTBとの間に直列に接続され、その中間ノードがダイオードD3のカソードとコイルL1との間に接続される。また、ダイオードD22、D23は、第1の信号ラインOUTAと第2の信号ラインOUTBとの間に直列に接続され、その中間ノードがダイオードD4のアノードとコイルL2との間に接続される。

【0298】また、図4-4に示す電力回収回路2-2は、電力回収用のコンデンサとして2つのコンデンサC2、

60

C1-2を備えている。この図4-4で新たに設けたコンデンサC1-2は、2つのトランジスタTr3、Tr4の共通接続子と第1の信号ラインOUTAとの間に接続される。

【0299】このコンデンサC1-2を設け、スイッチSW2をONにして第1の信号ラインOUTAの電圧をグランドレベルとした際に、第1の信号ラインOUTAからコンデンサC1、C2を介さずそのままコンデンサC1-2を使用し、負荷2-0の容量に対して電力を回収および供給することができ、ロスを低減することができる。

【0300】すなわち、図4-1に示したように電力回収回路2-2がコンデンサC2のみを備えている場合は、電力の回収はコンデンサC2、コンデンサC1、スイッチSW2の経路を電流が流れることによって行われ、2つのコンデンサを経由する。これに対して、図4-4のようにコンデンサC1-2も設けた場合には、電力の回収はコンデンサC1-2、スイッチSW2の経路を電流が流れることによって行われ、経由するコンデンサは1つのみである。したがって、図4-4の場合は、コンデンサで生じるインピーダンス成分による電力ロスが少なくて済み、電力回収効率を向上させることができる。

【0301】図4-5は、上記図4-4に示した電力回収回路2-2における電力回収の様子を示すタイミングチャートである。スイッチSW1、SW3がONになって第1の信号ラインOUTAに正の電圧($+V_s/2$)が印加され、第2の信号ラインOUTBの電圧がグランドレベルとなっているとき、コンデンサC2、C1-2の接続ノードの電圧は $V_s/4$ となる。

【0302】この状態で、電力回収回路2-2内のトランジスタTr3をONにすると、上記コンデンサC2、C1-2の接続ノードとグランドレベルの共通電極Xとの電位差($V_s/4$)にてコイルL1と負荷2-0の容量によってL-C共振が行われ、コンデンサC2、C1-2に回収されていた電荷を利用して共通電極Xの電圧は図4-5のように徐々に上昇していく。そして、この共振時に発生するピーク電圧の近傍においてスイッチSW4をONとすることにより、共通電極Xの電圧を($V_s/2$)にクランプする。

【0303】更にこの状態で、トランジスタTr3とスイッチSW4をOFF、電力回収回路2-2内のトランジスタTr4をONにすると、上記コンデンサC2、C1-2の接続ノードの電圧($V_s/4$)と共通電極Xの電圧($V_s/2$)との電位差($V_s/4$)にてコイルL2と負荷2-0の容量によってL-C共振が行われ、共通電極Xの電圧は図4-5のように徐々に下降していく。このとき、その一部の電荷をコンデンサC2、C1-2に回収することができる。そして、この共振時に発生するピーク電圧の近傍においてスイッチSW5をONとすることにより、共通電極Xの電圧をグランドレベルにクランプする。

50

(31)

特許3201603

61

【0304】次に、スイッチSW2をONとすることにより、第1の信号ラインOUTAの電圧はグランドレベルに、第2の信号ラインOUTBの電圧は負の電圧($-V_s/2$)にされる。これにより、コンデンサC2、C12の接続ノードの電圧は($-V_s/4$)となる。

【0305】この状態で、電力回収回路22内のトランジスタTr4をONにすると、上記コンデンサC2、C12の接続ノードとグランドレベルの共通電極Xとの電位差($V_s/4$)にてコイルL2と負荷20の容量によってL-C共振が行われ、共通電極Xの電圧は図45のように徐々に下落していく。このとき、その一部の電荷をコンデンサC2、C12に回取することができる。そして、この共振時に発生するピーク電圧の近傍においてスイッチSW5をONとすることにより、共通電極Xの電圧を($-V_s/2$)にクランプする。

【0306】更にこの状態で、トランジスタTr4、スイッチSW5をOFF、電力回収回路22内のトランジスタTr3をONにすると、上記コンデンサC2、C12の接続ノードの電圧($-V_s/4$)と共通電極Xの電圧($-V_s/2$)との電位差($V_s/4$)にてコイルL1と負荷20の容量によってL-C共振が行われ、コンデンサC2、C12に回収されていた電荷を利用して共通電極Xの電圧は図45のように徐々に上昇していく。そして、この共振時に発生するピーク電圧の近傍においてスイッチSW4をONとすることにより、共通電極Xの電圧をグランドレベルにクランプする。

【0307】このように、図44の構成例によれば、電力回収用として2つのコンデンサC2、C12を第1の信号ラインOUTAと第2の信号ラインOUTBとの間に設けることにより、少ない回路構成で2段階の電力回収を行うことができる。また、電力回収時の1回当たりに流す電流のQが小さくなるので、電力の回収効率を大幅に向上させることができる。また、この2つのコンデンサC2、C12によって、コンデンサC1の機能も実現することができ、コンデンサC1を不要とすることもできる。

【0308】以上は共通電極X側の構成であるが、走査電極Y側も同様に構成される。すなわち、走査電極Y側の電力回収回路33は、クランプ用のダイオードとして4つのダイオードD20'～D23'を備える。ダイオードD20'、D21'は、第3の信号ラインOUTA'と第4の信号ラインOUTB'との間に直列に接続され、その中間ノードがダイオードD12のアノードとコイルL3との間に接続される。また、ダイオードD22'、D23'は、第3の信号ラインOUTA'と第4の信号ラインOUTB'との間に直列に接続され、その中間ノードがダイオードD13のカソードとコイルL4との間に接続される。

【0309】また、図44に示す電力回収回路33は、電力回収用のコンデンサとして2つのコンデンサC3、

62

C13を備えている。この図44で新たに設けたコンデンサC13は、2つのトランジスタTr15、Tr16の共通接続端子と第3の信号ラインOUTA'との間に接続される。

【0310】このコンデンサC13を設け、スイッチSW2'をONにして第3の信号ラインOUTA'の電圧をグランドレベルとした際、第3の信号ラインOUTA'からコンデンサC4、C3を介さずそのままコンデンサC13を使用し、負荷20の容量に対して電力を回収および供給することができ、ロスを低減することができる。

【0311】すなわち、図41に示したように電力回収回路33がコンデンサC3のみを備えている場合は、電力の回収はコンデンサC3、コンデンサC4、スイッチSW2'の経路を電流が流れることによって行われ、2つのコンデンサを経由する。これに対して、図44のようにコンデンサC13も設けた場合には、電力の回収はコンデンサC13、スイッチSW2'の経路を電流が流れることによって行われ、経由するコンデンサは1つのみである。したがって、図44の場合は、コンデンサで生じるインピーダンス成分による電力ロスが少なくて済み、電力回収効率を向上させることができる。

【0312】なお、この図44に示す駆動装置において、コンデンサC12、C13を削除(オープン)した構成としても良い。また、コンデンサC2、C3を削除(オープン)した構成としても良い。また、コンデンサC1、C4を削除(オープン)した構成としても良い。また、コンデンサC2とC12の容量比、コンデンサC3とC13の容量比はそれぞれ同じとしても良いし、異なるものとしても良い。また、コイルL1、L2の値、コイルL3、L4の値はそれぞれ同じとしても良いし、異なるものとしても良い。

【0313】例えば、コイルL1、L2の値、コイルL3、L4の値をそれぞれ異なる値とした場合は、L-C共振時における電圧の立ち上がりの時間と立ち下がりの時間とを異らせることができる。すなわち、コイルの値を小さくするほど、電圧の立ち上がり/立ち下がりの傾きは大きくなる。例えば、回収した電力の供給時に使用するコイルL1、L3の値を小さくし、電力の回収時に使用するコイルL2、L4の値を大きくすることにより、電力供給時における電圧の立ち上がりを早くしてプラズマディスプレイパネルにおいては、輝度を向上させるとともに、電力回収時における電圧の立ち下がりを比較的遅くしてノイズの発生を抑制することができる。

【0314】図46は、第6の実施形態による駆動装置の他の具体的な構成例を示す図である。なお、この図46において、図44に示した符号と同一の符号を付したもののは、同一の機能を有するものであるので、重複する説明は省略する。図46の構成で図44と異なるところは、コンデンサC12、C13が存在しない点と、クラ

ンプ用のダイオードD20～D23、D20'～D23'の配線の部分だけである。

【0315】すなわち、図46の構成において、共通電極X側の電力回収回路22では、ダイオードD20、D21は、第1の信号ラインOUTAと第2の信号ラインOUTBとの間に直列に接続され、その中間ノードがダイオードD4のカソードとトランジスタTr4との間に接続される。また、ダイオードD22、D23は、第1の信号ラインOUTAと第2の信号ラインOUTBとの間に直列に接続され、その中間ノードがダイオードD3のアノードとトランジスタTr3との間に接続される。

【0316】また、走査電極Y側の電力回収回路33では、ダイオードD20'、D21'は、第3の信号ラインOUTA'と第4の信号ラインOUTB'との間に直列に接続され、その中間ノードがダイオードD13のアノードとトランジスタTr16との間に接続される。また、ダイオードD22'、D23'は、第3の信号ラインOUTA'と第4の信号ラインOUTB'との間に直列に接続され、その中間ノードがダイオードD12のカソードとトランジスタTr15との間に接続される。

【0317】図47は、第6の実施形態による駆動装置の他の具体的構成例を示す図である。なお、この図47において、図44に示した符号と同一の符号を付したものは、同一の機能を有するものであるので、重複する説明は省略する。図47の構成で図44と異なるところは、コンデンサC12、C13が存在しない点と、コイルL1、L2と負荷20の共通電極X（出力ラインOUTC）との間を複数のダイオードD7、D8、D18、D19で分離していない点だけである。

【0318】すなわち、図47の構成において、共通電極X側では、図44では用いていたダイオードD7、D8、D18、D19は存在せず、共通電極X側からコイルL1、L2を直接見える形に構成している。また、共通電極Xおよび走査電極Yの双方において、図44では用いていたコンデンサC12、C13を用いても良い。

【0319】図48は、第6の実施形態による駆動装置の他の具体的構成例を示す図である。なお、この図48において、図44に示した符号と同一の符号を付したものは、同一の機能を有するものであるので、重複する説明は省略する。

【0320】図48の構成で図44と異なるところは、コンデンサC12、C13が存在しない点と、クランプ用のダイオードD20～D23、D20'～D23'の配線の部分と、コイルL1、L2と負荷20の共通電極X（出力ラインOUTC）との間を複数のダイオードD7、D8で分離していない点だけである。

【0321】すなわち、図48の構成において、共通電極X側の電力回収回路22では、ダイオードD20、D21は、第1の信号ラインOUTAと第2の信号ラインOUTBとの間に直列に接続され、その中間ノードがダ

イオードD4のカソードとトランジスタTr4との間に接続される。また、ダイオードD22、D23は、第1の信号ラインOUTAと第2の信号ラインOUTBとの間に直列に接続され、その中間ノードがダイオードD3のアノードとトランジスタTr3との間に接続される。

【0322】また、走査電極Y側の電力回収回路33では、ダイオードD20'、D21'は、第3の信号ラインOUTA'と第4の信号ラインOUTB'との間に直列に接続され、その中間ノードがダイオードD13のアノードとトランジスタTr16との間に接続される。また、ダイオードD22'、D23'は、第3の信号ラインOUTA'と第4の信号ラインOUTB'との間に直列に接続され、その中間ノードがダイオードD12のカソードとトランジスタTr15との間に接続される。

【0323】また、共通電極X側では、図44では用いていたダイオードD7、D8、D18、D19は存在せず、共通電極X側からコイルL1、L2を直接見える形に構成している。また、共通電極Xおよび走査電極Yの双方において、図44では用いていたコンデンサC12、C13を用いても良い。

【0324】図49は、第6の実施形態による駆動装置の他の具体的構成例を示す図である。なお、この図49において、図44に示した符号と同一の符号を付したものは、同一の機能を有するものであるので、重複する説明は省略する。

【0325】図49の構成で図44と異なるところは、コンデンサC12、C13が存在しない点と、共通電極X側の電力回収回路22がコイルL1のみの1系統で構成されている点と、コイルL1と負荷20の共通電極X（出力ラインOUTC）との間を複数のダイオードD7、D8で分離していない点だけである。

【0326】すなわち、図49の構成において、共通電極X側の電力回収回路22では、ダイオードD20、D21は、第1の信号ラインOUTAと第2の信号ラインOUTBとの間に直列に接続され、その中間ノードがダイオードD3のカソードとコイルL1との間に接続される。図44で用いていたコイルL2およびダイオードD22、D23は、この図49の構成では用いていない。

【0327】また、共通電極X側では、図44で用いていたダイオードD7、D8、D18、D19は存在せず、共通電極X側からコイルL1、L2を直接見える形に構成している。また、共通電極Xおよび走査電極Yの双方において、図44では用いていたコンデンサC12、C13を用いても良い。このようにコイルL1の1系統だけで電力回収回路22を構成することにより、回路構成を簡略化することができる。

【0328】図50は、第6の実施形態による駆動装置の他の具体的構成例を示す図である。なお、この図50において、図49に示した符号と同一の符号を付したものは、同一の機能を有するものであるので、重複する説

明は省略する。図50の構成で図49と異なるところは、共通電極X側の電力回収回路22において、クランプ用のダイオードとして4つのダイオードD20～D23を用いている点とその配線の部分、走査電極Y側のダイオードD20'～D23'の配線部分だけである。

【0329】すなわち、図50の構成において、共通電極X側の電力回収回路22では、ダイオードD20、D21は、第1の信号ラインOUTAと第2の信号ラインOUTBとの間に直列に接続され、その中間ノードがダイオードD4のカソードとトランジスタTr4との間に接続される。また、ダイオードD22、D23は、第1の信号ラインOUTAと第2の信号ラインOUTBとの間に直列に接続され、その中間ノードがダイオードD3のアノードとトランジスタTr3との間に接続される。走査電極Y側の構成は、図46と全く同じである。

【0330】図51は、第6の実施形態による駆動装置の他の具体的構成例を示す図である。この図51において、図44に示した符号と同一の符号を付したもののは、同一の機能を有するものであるので、重複する説明は省略する。なお、この図51では特に、走査電極Y側の構成を代表として示している。

【0331】図51において、スイッチSW4"は、図44のスイッチSW4"とトランジスタTr22とを兼用するものである。また、スイッチSW5"は、図44のスイッチSW5"とトランジスタTr23とを兼用するものである。さらに、スキャンドライバ31"を構成する2つのスイッチSW12、SW13は、それぞれ図44のトランジスタTr16、Tr15を兼用している。

【0332】走査電極Y側においてこれらのスイッチSW4"、SW5"、SW12、SW13を含む各スイッチを適当なタイミングで切り替え制御することで、図42に示したアドレス期間における負の電圧(-Vs/2)や、維持放電期間における交互に繰り返す正負の電圧(±Vs/2)を作り出すことができる。

【0333】例えば、アドレス期間における走査電極Yの負の電圧(-Vs/2)は、スイッチSW4" (トランジスタTr22)とスイッチSW5" (トランジスタTr23)とをONにすることによって印加することができる。すなわち、トランジスタTr22がONとなることによって第3の信号ラインOUTA"がグランドレベルとなり、トランジスタTr23がONとなることによって第4の信号ラインOUTB"が(-Vs/2)レベルとなり、その結果出力ラインOUTC"を介して負荷20に負の電圧(-Vs/2)が印加される。

【0334】また、維持放電期間における走査電極Yの正負の電圧(±Vs/2)は、次の図52に示すスイッチング動作によって作り出すことができる。図52は、上記図51に示した駆動装置において、維持放電期間に走査電極Yに対する駆動波形を生成するための各スイッ

チの制御例を示すタイムチャートである。

【0335】まず、スイッチSW1"、SW3"、SW12 (トランジスタTr16)がONとなる。これにより、負荷20の容量とコイルL3との間でL-C共振が行われ、このとき徐々に上昇した電圧が出力ラインOUTC"を介して走査電極Yに印加される。次に、共振時に発生するピーク電圧の近傍においてスイッチSW4" (スイッチSW4")が更にONとなり、走査電極Yに対する印加電圧が(+Vs/2)にクランプされる。

【0336】次に、スイッチSW1"、SW3"はONに維持したまま、スイッチSW4"、SW12をOFFにしてスイッチSW13 (トランジスタTr15)をONにする。これにより、負荷20の容量に蓄積された電荷がスイッチSW13を介して引かれ、負荷20の容量とコイルL3との間のL-C共振によって走査電極Yの電圧が徐々に下げられる。そして、共振時に発生するピーク電圧の近傍においてスイッチSW5" (スイッチSW5")が更にONとなり、走査電極Yに対する印加電圧がグランドレベルにクランプされる。

【0337】次に、全てのスイッチを一旦OFFにした後、スイッチSW2"をONにすることにより、第3の信号ラインOUTA"の電圧を(+Vs/2)からグランドレベルに、第4の信号ラインOUTB"の電圧をグランドレベルから(-Vs/2)にスイングする。

【0338】上記スイッチSW2"をONにすることにより、負荷20の容量とコイルL3とのL-C共振によって、走査電極Yの電圧を負の電圧(-Vs/2)に向かって徐々に下げていく。その後、共振時に発生するピーク電圧の近傍においてスイッチSW5" (スイッチSW5")を更にONにすることにより、走査電極Yに対する印加電圧を(-Vs/2)にクランプする。

【0339】次に、スイッチSW2"はONに維持したまま、スイッチSW5"、SW13をOFFにしてスイッチSW12 (トランジスタTr16)をONにする。これにより、負荷20の容量とコイルL3との間のL-C共振によって走査電極Yの電圧が徐々に上げられる。そして、共振時に発生するピーク電圧の近傍においてスイッチSW4" (スイッチSW4")が更にONとなり、走査電極Yに対する印加電圧がグランドレベルにクランプされる。

【0340】以上のように、図51に示した構成の駆動装置によれば、アドレス期間の駆動で必要なスイッチング素子と維持放電期間の駆動で必要なスイッチング素子とを兼用して構成しているので、素子数を少なくすることができます、回路を簡略化することができる。

【0341】図53は、第6の実施形態による駆動装置の他の具体的構成例を示す図である。この図53において、図41に示した符号と同一の符号を付したもののは、

(34)

特許3201603

67

同一の機能を有するものであるので、重複する説明は省略する。また、図54は、図53に示した駆動装置において、走査期間および維持放電期間に走査電極Yに対する駆動波形を生成するための各スイッチの制御例を示すタイムチャートである。なお、この図53および図54は、図103および図105に示した従来例に対する本実の比較例として示したものである。

【0342】走査期間においては、走査電極Y側のスイッチSW2'をONにして第3の信号ラインOUTA'の電圧をグランドレベルにし、コンデンサC4にあらかじめ蓄えられている($C4 \times V_s/2$)の電荷によって第4の信号ラインOUTB'の電圧を($-V_s/2$)に設定する。そして、トランジスタTr22, Tr23をONとすることにより、スキャンドライバ31'の両端に電圧($V_s/2$)を印加し、図105と同様に(-90V)のスキャンパルスを1本の走査電極Yに印加する。

【0343】一方、共通電極Xでは、あらかじめスイッチSW9をONにすることにより、第2の信号ラインOUTBの電圧をVx(50V)にし、コンデンサC1に蓄えられている($C1 \times V_s/2$)の電荷によって第1の信号ラインOUTAの電圧を($Vx + V_s/2 = 140V$)とする。そして、スイッチSW4をONとすることにより、スキャンパルス時における共通電極Xおよび走査電極Yの間の電位差は、($Vx + V_s/2 + V_s/2 = 230V$)となる。

【0344】この際、上述の放電電流を扱うFET(スイッチSW4, SW5)には、第1の信号ラインOUTAと第2の信号ラインOUTBの電圧差($V_s/2$)が印加されるため、このFETの耐圧は $V_s/2$ 以上であれば良い。すなわち、上記図105に示したスキャンパルス時における両電極X, Y間の電位差230Vを本実施形態の低電圧回路により実現できることを示している。

【0345】アドレス期間時におけるアドレス電極Aおよび走査電極Yの間の電位差は、アドレス電極Aの電圧Vaは60V、走査電極Yのスキャンパルス電圧は($-V_s/2 = -90V$)であるため、150Vである。この電位差は、上記図105に示した同じアドレス電極Aおよび走査電極Y間の電位差240Vより小さいが、これに関しては、リセット期間時において、アドレス電極A上の誘電体層に蓄電荷を簡単に蓄積できる。リセット期間において、 $240V - 150V = 90V$ の電圧を蓄積している。以上により、図105と同様な走査期間の動作を行う。

【0346】また、維持放電期間における動作は、図42に示したものと同様であり、第1の信号ラインOUTAと第2の信号ラインOUTBとの電位差は常に $V_s/2$ である。図53に示したガス放電電流をやり取りするスイッチSW4, SW5, SW4', SW5'は、第1

68

の信号ラインOUTAと第2の信号ラインOUTB、あるいは第3の信号ラインOUTA'と第4の信号ラインOUTB'内に設置されているため、これらのスイッチを構成するFETの耐圧は、 $V_s/2$ 以上であれば良い。

【0347】このように、FETの耐圧が従来の1/2に下がったため、FETのON抵抗を大幅に下げることができ、従来はガス放電を安定的に行うために複数のFETを並列に設けることが必要であった素子数を大幅に削減することができる。また、耐圧の低下により、素子自身の単価も下がることができる。また、駆動に必要な高電圧の電源は、 $V_s/2$ (90V)とVx(50V)の2種類で良く、電源回路を削減することができる。なお、図103の従来例で用いていたA/S分離回路と本実施形態による追加回路のコストは同等である。以上により、安価なPDPを実現することができる。

【0348】上記実施形態では電力回収回路を備えているが、電力回収回路がない場合の電力は、上述したように $C_p \cdot V^2 \cdot t$ に比例するため、電力ロスが従来の半分に抑えることができる。よって、電力回収回路を省くこともできる。電力回収回路なしで実現した回路図を図55に示す。維持放電期間における出力波形は、図14に示したものと同様である。線順次走査期間における出力波形は、図54と同様である。

【0349】電力回収回路がある場合には、図53で示したようにL-C共振電圧を出力後、電源にクランプする回路(図53のスイッチSW4', SW5')が必要であったが、電力回収回路を省くことができたので、図55で示すスイッチSW4', SW5'のみから成るスキャンドライバのFETを通して負荷電流Cpへの充放電流およびガス放電電流を流すことができる。維持放電期間において走査電極Yに第3の信号ラインOUTA'の電圧を印加する場合はスイッチSW4'をON、第4の信号ラインOUTB'の電圧を印加する場合はスイッチSW5'をONにする。

【0350】線順次走査期間における走査電極Y側の動作は、スイッチSW2'をONとすることにより、第3の信号ラインOUTA'の電圧をグランドレベル、第4の信号ラインOUTB'の電圧を($-V_s/2$)にして、スキャンドライバの両端の電圧をグランドレベル、($-V_s/2$)にし、走査時にスキャンパルス電圧($-V_s/2$)を走査電極Yに出力する。

【0351】以上のように、電力回収回路を省くことにより、図53の構成による上述した効果に加えて、更に回路数を削減することができ、より低コストなPDPを実現することができる。

【0352】(第7の実施形態)次に、本発明の第7の実施形態について説明する。第7の実施形態は、上述の第1～第6の実施形態で示した回路に対して、アドレス期間、リセット期間、あるいはスキャン用の電圧を各々

独立した電源からスイッチング素子を介して印加する回路を更に説けたものである。

【0353】図56は、第7の実施形態による駆動装置の具体的構成例を示す図である。この図56では、維持放電期間だけでなく、リセット期間およびアドレス期間に関する駆動を行うための構成も表している。なお、図56において、図5あるいは図35等に示した符号と同一の符号を付したもののは、同一の機能を有するものであるので、重複する説明は省略する。

【0354】図56において、共通電極X側では、電圧V_Xを発生する電源ラインと第2の信号ラインOUTBとの間にスイッチSW8が設けられる。一方、走査電極Y側では、電圧V_Wを発生する電源ラインと第4の信号ラインOUTB'との間にスイッチSW9'が設けられる。

【0355】図57は、上記図56のように構成した駆動装置によるPDPの駆動波形を示すタイムチャートであり、1フレームを構成する複数のサブフィールドのうちの1サブフィールド分を示している。この図57に示す駆動波形は、上記図38に示した駆動波形とほぼ同様であり、その違いは、リセット期間およびアドレス期間に共通電極Xに印加する正の電圧の大きさのみである。

【0356】図57の場合、リセット期間において共通電極X側に正の電圧を印加するときは、スイッチSW1、SW3、SW4、SW8をON、スイッチSW2をOFFとする。これにより、出力ラインOUTCの電圧が、スイッチSW1を介して第1の信号ラインOUTAに与えられる電圧(V_S/2)と、スイッチSW8を介して第2の信号ラインOUTBに与えられる電圧V_Xとを加算した電圧レベルまで引き上げられる。そして、その電圧(V_S/2+V_X)が負荷2の共通電極Xに印加される。アドレス期間中に共通電極Xに電圧(V_S/2+V_X)を印加するときも同様である。

【0357】図58は、第7の実施形態による駆動装置の他の構成例を示す図である。この図58において、図56あるいは図44等に示した符号と同一の符号を付したもののは、同一の機能を有するものであるので、重複する説明は省略する。

【0358】図58に示すように、共通電極X側では、上記図56で示したスイッチSW8と同様のスイッチが接続されている。ただし、図56においてスイッチSW8に接続される電源ラインの電圧は、図56に示した電圧V_Xよりも大きな電圧V_{X'}である。この電圧V_{X'}は、例えば、リセット期間において負荷2に印加する電圧(V_S/2+V_X)と同じ電圧値とする。

【0359】一方、走査電極Y側では、第3の信号ラインOUTA'とグランドとの間にスイッチSW18が接続され、第4の信号ラインOUTB'に電圧(-V_Y)を発生する電源ラインとの間にスイッチSW19が接続される。これらのスイッチSW18、SW19は、それ

ぞれトランジスタTr22、Tr23を兼用するものである。また、トランジスタTr21は、抵抗R2を介して電圧(-V_n)の電源ラインに接続される。

【0360】この図58に示す構成例では、スイッチSW1～SW5、SW1'～SW5'の他に上述の各スイッチSW8、SW9'、SW18、SW19を適当なタイミングでスイッチング制御することにより、従来に比べて小さい耐圧の素子を用いてリセット期間、アドレス期間で必要な様々なパルスに応じて細かい電圧の調整を行なうことができ、より確かな表示性能を得ることができる。このことを図59のタイミングチャートを用いて説明する。

【0361】図59は、上記図58のように構成した駆動装置によるPDPの駆動波形を示すタイミングチャートであり、1フレームを構成する複数のサブフィールドのうちの1サブフィールド分を示している。この図59に示す駆動波形は、図57に示した駆動波形とほぼ同様であり、その違いはリセット期間中に印加する電圧値と、維持放電期間におけるパルスの波形とスキャンパルスの電圧値のみである。なお、能持放電期間におけるパルス波形の違いは、電力回収回路の有無によるものであり、その詳細は既に説明したので、ここでは重複する説明を省略する。

【0362】リセット期間においては、まず、負荷2の共通電極X側に電圧(-V_S/2)が印加され、走査電極Y側に電圧V_{W'}(=V_S/2+V_W)が徐々に印加される。これにより、共通電極Xと走査電極Yとの電位差が(V_S+V_W)となり、リセット期間の全面書き込みパルスと同じ電位差を共通電極Xと走査電極Yとの間にかけることができる。ここまででは図57の場合と同様である。

【0363】その後、走査電極Y側のスイッチSW1'、SW3'、SW4'、SW5'、SW9'をOFF、スイッチSW2'、トランジスタTr21をONとする。

【0364】一方、共通電極X側のスイッチSW5をOFFにし、スイッチSW4をONにして、共通電極Xの電圧をグランドレベルにする。このときスイッチSW2はONとなっている。その後、共通電極X側のスイッチSW2をOFFにし、スイッチSW5、SW8をONとすることにより、共通電極Xに対する印加電圧をグランドレベルからV_{X'}(=V_S/2+V_X)まで引き上げる。また、上記走査電極Y側のトランジスタTr21のONにより、走査電極Yに対する印加電圧を(-V_n)まで徐々に引き下げる。電圧(-V_n)の絶対値は、例えば(-V_S/2)の絶対値よりもわずかに小さい値であり、純波の印加による微弱放電によってセルに残す壁電荷の量をこの電圧値によって調整することが可能である。その後、共通電極X、走査電極Yを、適当なスイッチ制御によりグランドレベルとする。また、アドレス期

(36)

特許3201603

71

間のスキャンバルスの電圧を $(-V_y)$ 電源にて独立に設定できるスイッチSW19を持ち、より確かな表示性能を得ることを可能としている。

【0365】(第8の実施形態)次に、本発明の第8の実施形態について説明する。第8の実施形態は、上述した第1～第7の実施形態において、負荷20に対しても電圧を印加するドライバ回路の片側を、スキャンドライバ回路等のLSIにより構成したものである。

【0366】図60は、第8の実施形態による駆動装置の具体的構成例を示す図である。なお、図60において、図2に示した符号と同一の符号を付したもののは、同一の機能を有するものであるので、重複する説明は省略する。

【0367】図60において、走査電極Y側におけるドライバ回路51'は、スキャンドライバ回路等のLSIにより構成される。すなわち、ドライバ回路51'は、PDPが備える全ての表示ライン毎にそれぞれ備えられる。つまり、スイッチSW4'とスイッチSW5'は表示ラインの数だけ備えられる。一方、共通電極X側におけるドライバ回路44は、電源回路43と同様、PDPが備える全ての表示ラインに共通な回路として構成される。

【0368】このように構成することにより、少なくとも走査電極Y側において、それぞれの表示ライン毎に設けられたスイッチSW4'、SW5'を維持放電期間中にスイッチング制御することによって、各表示ラインに対する印加電圧を個々に制御することができる。また、アドレス期間に電圧 $(-V_s/2)$ を印加するためのスイッチング素子である上述の各実施形態におけるトランジスタTr22、Tr23を不要とすることができます。

【0369】図61は、第8の実施形態による駆動装置の他の構成例を示す図である。この図61において、図60に示した符号と同一の符号を付したもののは、同一の機能を有するものであるので、重複する説明は省略する。

【0370】この図61に示す構成では、走査電極Y側におけるドライバ回路51'をスキャンドライバ回路等のLSIにより構成している。また、電圧 V_x' の電源ラインに接続されたスイッチSW8を共通電極X側に備えるとともに、電圧 V_w の電源ラインに接続されたスイッチSW9'を走査電極Y側に備えている。走査電極Y側においてトランジスタTr22、Tr23は不要である。

【0371】図62は、上記図61のように構成した駆動装置によるPDPの駆動波形を示すタイムチャートであり、1フレームを構成する複数のサブフィールドのうちの1サブフィールド分を示している。この図62に示す駆動波形は、上記図57に示した駆動波形とほぼ同じである。この駆動波形は、各表示ラインに共通に設けられたスイッチSW1～SW5、SW8、SW1'～SW

72

3'、SW9'と、ある表示ラインiにおけるスキャンドライバ51'内のスイッチSW4'、SW5'を適当なタイミングでON/OFF制御することにより作られる。

【0372】図60および図61の形態にすることにより、回路部品の実装面積を大幅に縮小できるため、装置の小型化や製造コストの低減化を実現することができる。

【0373】なお、図60および図61では、スイッチSW4'、SW5'が共に第1の実施形態で示したような位置、つまりドライバ回路内にある場合について示したが、スイッチSW4'が第2の実施形態で示したような位置、つまり電源回路内にある場合、またはスイッチSW5'が第3の実施形態で示したような位置、つまり電源回路内にある場合にも同様に適用することができる。第2の実施形態ではスイッチSW5'を、第3の実施形態ではスイッチSW4'をスキャンドライバ回路等のLSIによって構成することができる。

【0374】この場合には、ドライバ回路をスキャンドライバによりLSI構成としても、各表示ライン毎に必要なスイッチはスイッチSW4'またはスイッチSW5'の何れか1個だけで良く、スイッチ総数を大幅に少なくすることができる。これにより、回路規模を小さくすることができるとともに、コストを抑えることができるようになる。

【0375】(第9の実施形態)次に、本発明の第9の実施形態について説明する。第9の実施形態は、負荷20に対して電圧を印加するドライバ回路の両側、すなわち、共通電極X側および走査電極Y側のドライバ回路を、スキャンドライバ回路等のLSIにより構成したものである。

【0376】図63は、第9の実施形態による駆動装置の構成例を示す図である。なお、図63において、図2または図60に示した符号と同一の符号を付したもののは、同一の機能を有するものであるので、重複する説明は省略する。

【0377】図63において、共通電極X側におけるドライバ回路51'は、スキャンドライバ回路等のLSIにより構成される。すなわち、PDPが備える全ての表示ラインに共通な回路として構成される電源回路43と異なり、ドライバ回路51'は、各表示ライン毎にそれぞれ備えられる。つまり、スイッチSW4とスイッチSW5は表示ラインの数だけ備えられる。

【0378】また、走査電極Y側におけるドライバ回路51'も、スキャンドライバ回路等のLSIにより構成される。すなわち、PDPが備える全ての表示ラインに共通な回路として構成される電源回路43'と異なり、ドライバ回路51'は、各表示ライン毎にそれぞれ備えられる。つまり、スイッチSW4'とスイッチSW5'は表示ラインの数だけ備えられる。

【0379】このように構成することにより、共通電極X側および走査電極Y側の双方において、それぞれの表示ライン毎に設けられたスイッチSW4, SW5, SW4', SW5'を維持放電期間中にスイッチング制御することによって、各表示ラインに対する印加電圧を個々に制御することができる。また、走査電極Y側では、アドレス期間に電圧 $(-V_s/2)$ を印加するためのスイッチング素子である上述の各実施形態におけるトランジスタTR22, TR23を不要とすることができる。

【0380】図64は、第9の実施形態による駆動装置の他の構成例を示す図である。この図64において、図63あるいは図56に示した符号と同一の符号を付したもののは、同一の機能を有するものであるので、重複する説明は省略する。

【0381】この図64に示す構成では、共通電極X側におけるドライバ回路51および走査電極Y側におけるドライバ回路51'をスキャンドライバ回路等のLSIにより構成している。また、電圧 V_x' の電源ラインに接続されたスイッチSW8を共通電極X側に備えるとともに、電圧 V_w の電源ラインに接続されたスイッチSW9'を走査電極Y側に備えている。走査電極Y側においてトランジスタTR22, TR23は不要である。

【0382】図65は、上記図64のように構成した駆動装置によるPDPの駆動波形を示すタイムチャートであり、1フレームを構成する複数のサブフィールドのうちの1サブフィールド分を示している。この図65に示す駆動波形は、上記図62に示した駆動波形とほぼ同じである。この駆動波形は、各表示ラインに共通に設けられたスイッチSW1～SW3, SW8, SW1'～SW3', SW9'、と、ある表示ラインiにおけるスキャンドライバ51, 51'内のスイッチSW4, SW5, SW4', SW5'を適当なタイミングでON/OFF制御することにより作られる。

【0383】図63および図64の形態にすることにより、共通回路部で消費電力により発生していた熱の集中を分散させ、回路動作の安定化を実現することができる。また、各表示ラインに対する制御の自由度を向上させることができる。

【0384】なお、図63および図64では、スイッチSW4, SW5, SW4', SW5'が共に第1の実施形態で示したような位置、つまりドライバ回路内にある場合について示したが、スイッチSW4, SW4'が第2の実施形態で示したような位置、つまり電源回路内にある場合、またはスイッチSW5, SW5'が第3の実施形態で示したような位置、つまり電源回路内にある場合にも同様に適用することができる。

【0385】この場合には、ドライバ回路をスキャンドライバによりLSI構成としても、共通電極X側および走査電極Y側で各表示ライン毎に必要なスイッチは、スイッチSW4, SW4'またはスイッチSW5, SW5'の何れか1個だけで良く、スイッチ総数を大幅に少なくすることができる。これにより、回路規模を小さくすることができるとともに、コストを抑えることができるようになる。

【0386】(第10の実施形態) 次に、本発明の第10の実施形態について説明する。以上の各実施形態では、共通電極X側および走査電極Yの電源電圧を共に $(+V_s/2)$ とし、両電極X, Yに逆相の電圧を印加することにより、負荷2つの両端に差電圧 V_s を印加するようになっていた。すなわち、共通電極X側の電源電圧を V_1 、走査電極Y側の電源電圧を V_2 とすると、 $V_1 = V_2$ であった。これに対して、第10の実施形態は、 $V_1 < V_2$ または $V_1 > V_2$ なる電圧を共通電極X側および走査電極Y側の電源電圧として用いるものである。

【0387】図66は、第10の実施形態による駆動装置の構成例を示す図である。なお、図66において、図23に示した符号と同一の符号を付したもののは、同一の機能を有するものであるので、重複する説明は省略する。

【0388】図66において、図23に示した第1の実施形態と違いは、第1の実施形態では共通電極X側の電源回路43に電圧 $(V_s/2)$ 、走査電極Y側の電源回路43'に電圧 $(V_s/2)$ を供給していたのに対し $(V_1 = V_2 = V_s/2)$ 、第10の実施形態では、共通電極X側の電源回路43に電圧 $(V_s/3)$ 、走査電極Y側の電源回路43'に電圧 $(2V_s/3)$ を供給している点である $(V_1 = V_s/3, V_2 = 2V_s/3)$ 。その他は第1の実施形態と同じである。

【0389】このように構成した第10の実施形態によれば、共通電極X側の電源回路43およびドライバ回路44に印加されている電圧の絶対値は、最大でも $V_s/3$ である。したがって、これらの回路内に備えられる各素子の耐圧は $V_s/3$ とすれば良く、耐圧を従来の1/3に抑えることができる。

【0390】また、走査電極Y側の電源回路43'およびドライバ回路44'に印加されている電圧の絶対値は、最大でも $2V_s/3$ である。したがって、これらの回路内に備えられる各素子の耐圧は $2V_s/3$ とすれば良く、耐圧を従来の2/3に抑えることができる。これにより、構成が小さく安価な素子を用いることができ、回路構成の簡素化と製造コストの低減を実現することができる。

【0391】また、例えば、共通電極X側のドライバ回路をPDPの各表示ラインに共通な回路として構成し、走査電極Y側のドライバ回路をPDPの各表示ライン毎にそれぞれ備えたLSI構成とした場合、電力消費に伴う発熱は、走査電極Y側では各表示ラインに分散されるが、共通電極X側では一箇所に集中して大きな発熱を生じてしまう。そこで、 $V_1 < V_2$ の関係で共通電極Xおよび走査電極Yに電圧を印加することにより、共通電極

X側において発熱が集中してしまう不都合を緩和することができる。

【0392】また、先に説明したように、負荷2つに充放電する際の電力ロスは、 $2C_p \cdot V_2 \cdot f$ で表され、印加電圧Vの大きさの2乗に比例する。したがって、共通電極X側および走査電極Y側のうち、印加電圧Vの小さい方は電力ロスを十分に小さく抑えることができる。特に電力回収回路を設けなくても良い。これにより、共通電極X側および走査電極Y側の何れか一方にのみ電力回収回路を備える構成にもすることができる。

【0393】また、共通電極X側および走査電極Y側の印加電圧を異ならせることにより、リセット期間における印加電圧を共通電極X側および走査電極Y側の双方で適切に調整することができる。

【0394】図67は、上記図66のように構成した駆動装置によるPDPの駆動波形を示すタイムチャートであり、1フレームを構成する複数のサブフィールドのうちの1サブフィールド分を示している。ここでは、図66では図示していない電圧 V_w をそれ固有のスイッチの制御によって印加している様子も示している。この図67に示す駆動波形の基本的な形は既に述べた図42と同様であるが、その振幅が異なっている。

【0395】この図67のタイムチャートによれば、共通電極X側の電源回路43およびドライバ回路44内に備えられる各素子の耐圧はそれぞれ $V_s/3 + V_w$ 、 $V_s/3$ とすれば良く、従来と比べて耐圧を低く抑えることができる。また、走査電極Y側の電源回路43'およびドライバ回路44'内に備えられる各素子の耐圧はそれぞれ $2V_s/3 + V_w$ 、 $2V_s/3$ とすれば良く、どちらも耐圧を低く抑えることができる。

【0396】図68は、第10の実施形態による駆動装置の他の構成例を示す図である。この図68において、図66に示した符号と同一の符号を付したものは、同一の機能を有するものであるので、重複する説明は省略する。

【0397】この図68に示す構成では、走査電極Y側の電源回路43'に印加する電圧 V_2 を kV_s 、共通電極X側の電源回路43に印加する電圧 V_1 を $1V_s$ ($V_1 + V_2 = nV_s$) としている。その他の点は上記図66と全く同じである。例えば、ガス放電の発光効率を向上させるために共通電極Xおよび走査電極Yの間に高い電圧をかけたい場合があり、 $V_1 = V_2 = V_s$ ($V_1 + V_2 = 2V_s$) とすることも可能である。この場合、駆動装置に備えられる各素子は従来と同じ耐圧のままで、より大きな差電圧を両電極X、Y間に印加することができる。

【0398】PDPにおいて、維持放電期間に共通電極Xおよび走査電極Y間に印加する電圧 V_s は、一般的に $150V \sim 190V$ である。この電圧は、PDPの内部に封入するガスの種類、電極の材料、X、Y電極間のギ

ヤップ等により決まる。また、PDPの表示輝度は、維持放電期間に共通電極Xおよび走査電極Y間に電圧 V_s を何回印加し、ガス放電させるかによって決定される。また、1回の電圧 V_s の印加時のガス放電に必要な電力は、上記ガスの種類、電極材料、電極間ギャップ等により決定される。単位電力に対する輝度の比率を発光効率と呼ぶ。

【0399】PDPにおいて、少ない電力で高い輝度を出したいという要求がある。この要求を満足するべく、16 発光効率を高くるためにガスの種類、電極材料、電極間ギャップ等を選択すると、電圧 V_s が高くなり、回路の耐圧が上昇してコストが高くなってしまう。これに対して、本実施形態によれば、耐圧を上げることなく、従来と同じ耐圧にて高電圧を印加することができ、発光効率を高めることができる。

【0400】(第11の実施形態) 次に、本発明の第11の実施形態について説明する。第11の実施形態は、上述した第10の実施形態の一様様を示すものであり、 $V_1 = 0$ 、 $V_2 = V_s$ または $V_1 = V_s$ 、 $V_2 = 0$ と 20 し、維持放電期間における駆動波形を共通電極Xまたは走査電極Yの片側から印加するようにしたものである。

【0401】図69は、第11の実施形態による駆動装置の具体的な構成例を示す図である。なお、図69において、図41に示した符号と同一の符号を付したものは、同一の機能を有するものである。重複する説明は省略する。図69と図41との主な違いは、スイッチSW1'、SW1''が接続される電源電圧が、図41の場合は $V_s/2$ であったのが、図69では V_s となっている点である。

30 【0402】図70は、上記図69に示した駆動装置による維持放電期間における駆動波形の例を示すタイムチャートである。この図70において、共通電極X側の駆動波形は、スイングされる電圧のレベルが V_s である点を除いて、図43に示した例と同じであるので、ここでは重複する説明は省略する。

【0403】一方、走査電極Y側においては、共通電極X側において一連のスイッチング動作を行っている間ずっと、スイッチSW1'、SW3'、SW5'をON、スイッチSW2'、SW4'および電力回収回路33内のトランジスタTr15、Tr16をOFFに維持しておく。これにより、スイッチSW3'を通じて走査電極Yの印加電圧は常にゼロ(グランドレベル)に保たれる。なお、これとは逆に、スイッチSW2'、SW4'をON、スイッチSW1'、SW3'、SW5'をOFFに維持することによって走査電極Yの印加電圧をゼロに保つようにしても良い。

【0404】このように走査電極Y側の電圧をグランドレベルに固定し、共通電極X側の電源電圧として V_s を用いた場合、電源電圧として $(V_s/2)$ を用いていた50 上述の各実施形態と比べて、共通電極X側における電力

ロスが大きくなる。よって、少なくとも共通電極X側には電力回收回路22を設けることが望ましい。

【0405】以上のように、一方の電極（共通電極X）の電圧を変動させる際、他方の電極（走査電極Y）の電圧を固定することにより、回路動作、維持放電をより安定的に行うことができる。また、維持放電期間以外の期間にて走査電極Y側から正負の電圧（ $\pm V_s$ ）を印加することができる。

【0406】図71は、第11の実施形態による駆動装置の他の構成例を示す図である。この図71において、図66に示した符号と同一の符号を付したもののは、同一の機能を有するものであるので、重複する説明は省略する。上記図69に示した構成では、走査電極Y側の電圧はグランドレベルに固定していたため、走査電極Y側の構成に冗長があった。そこで、図71の例では、一方の電極側の構成は省略し、専にグランドに接続するようにしている。

【0407】図71に示す構成では、電圧Vwの電源ラインに接続されたスイッチSW9'を走査電極Y側に備えている。また、スイッチSW20および抵抗R6から成るリセット回路を走査電極Y側のスイッチSW5'の両端に備えている。さらに、この図71に示す構成では、負荷20の共通電極X側は接地されている。このように共通電極X側を接地し、走査電極Y側の電源電圧としてVsを用いた場合、電源電圧として（Vs/2）を用いていた上述の各実施形態と比べて、走査電極Y側における電力ロスが大きくなる。よって、走査電極Y側には電力回收回路33を設けることが望ましい。この電力回收回路33の構成は、図41に示したものと同様である。

【0408】図72は、上記図71のように構成した駆動装置によるPDPの駆動波形を示すタイムチャートであり、1フレームを構成する複数のサブフィールドのうちの1サブフィールド分を示している。この図72の例において、走査電極Y側の駆動波形は、既に述べた実施形態と同様である（ただし、印加する電圧の絶対値はVsまたはVw'）。一方、共通電極Xの電圧は、グランドレベルに固定している。

【0409】なお、アドレス電極Aについては、アドレス期間に電圧Vaを印加することを除いて、グランドレベルに固定されている。維持放電期間においては、アドレス電極Aをハイインピーダンスの状態に保つようにしても良い。

【0410】図73は、第11の実施形態による駆動装置の更に他の構成例を示す図である。この図73において、図71に示した符号と同一の符号を付したもののは、同一の機能を有するものであるので、重複する説明は省略する。

【0411】上記図71の場合は負荷20の共通電極X側が接地されていたのに対し、図73に示す構成では、

負荷20の共通電極X側は電圧Vaxの電源ラインに接続されている。また、共通電極X側の電圧をVaxに固定した場合、維持放電期間において共通電極Xと走査電極Yとの間の電位差がVsとなるように、走査電極Yにオフセット電圧Vaxを選択的に印加できるようにする構成が必要となる。

【0412】そのための構成が、グランドに接続された電圧Vaxの電源55と、この電源55と第3の信号ラインOUTA'との間に接続されたスイッチSW29と、電源55と第4の信号ラインOUTB'との間に接続されたスイッチSW30である。このような構成により、スイッチSW29がONのときは、正の電圧（+Vax）が第3の信号ラインOUTA'に出力される。また、スイッチSW30がONのときは、正の電圧（+Vax）が第4の信号ラインOUTB'に出力される。したがって、このオフセット電圧（+Vax）を利用して電圧を、第3の信号ラインOUTA'および第4の信号ラインOUTB'から出力ラインOUTC'を介して負荷20に印加することができる。

【0413】図74は、上記図73のように構成した駆動装置によるPDPの駆動波形を示すタイムチャートであり、1フレームを構成する複数のサブフィールドのうちの1サブフィールド分を示している。この図74の例において、走査電極Y側の駆動波形は、リセット期間およびアドレス期間について既に述べた実施形態と同様である（ただし、印加する電圧の絶対値はVsまたはVw'）。

【0414】また、維持放電期間においては、図73のスイッチSW29、SW30が交互にONとなることにより、走査電極Yに印加される正の電圧（+Vs）および負の電圧（-Vs）のそれに対しても、電圧Vaxがオフセット電圧として付加されている。一方、共通電極Xの電圧は、Vaxに固定している。これにより、維持放電期間において共通電極Xと走査電極Yとの間の電位差が常にVsとなる。

【0415】なお、アドレス電極Aについては、アドレス期間に電圧Vaを印加することを除いて、グランドレベルに固定されている。維持放電期間においては、アドレス電極Aをハイインピーダンスの状態に保つようにしても良い。

【0416】上記図71または図73のように構成した駆動装置によれば、共通電極X側には電源回路およびドライバ回路が不要となり、共通電極X側の構成を大幅に簡略化することができる。

【0417】図75は、第11の実施形態による駆動装置の更に他の構成例を示す図である。この図75において、図71および図73に示した符号と同一の符号を付したもののは、同一の機能を有するものであるので、重複する説明は省略する。

【0418】この図75に示す駆動装置では、負荷20

(40)

特許3201603

79

の共通電極X側は、スイッチSW21を介して電圧Vaxの電源ラインに接続されるとともに、スイッチSW22を介して接地されている。スイッチSW21またはスイッチSW22の何れかをONとすることにより、共通電極Xの印加電圧をグランドレベルまたはVaxの何れかに切り替えて使用することができる。

【0419】図76は、上記図75のように構成した駆動装置によるPDPの駆動波形を示すタイムチャートである。この図76において、走査電極Yおよびアドレス電極Aの駆動波形は、図72および図74と全く同じである。また、共通電極Xには、グランドレベルまたはVaxの何れかに切り替えて印加している。すなわち、リセット期間および維持放電期間においては共通電極Xの印加電圧をグランドレベルに固定し、アドレス期間においては共通電極Xの印加電圧をVaxに固定している。

【0420】図77は、第11の実施形態による駆動装置の更に他の構成例を示す図である。上記図71、図73、図75では、共通電極X側の印加電圧をグランドレベルまたはVaxに固定したが、図77に示す駆動装置では、共通電極X側は固定せず、必要に応じて様々な電圧を印加するようにしている。そのため、共通電極X側では、電圧Vwの電源ラインに対してスイッチングを行うスイッチSW9と、電圧Vaxの電源ラインに対してスイッチングを行うスイッチSW14とが並列に第2の信号ラインOUTBに接続される。

【0421】一方、走査電極Y側は、スイッチドライバ31' と電圧Vscの電源ラインとの間にスイッチSW18が接続されるとともに、スイッチドライバ31' と電圧(-VY)の電源ラインとの間にスイッチSW19が接続される。さらに、スイッチドライバ31' の両端はそれぞれスイッチSW23、SW24に接続され、これらスイッチSW23、SW24の共通接続点が接地されている。

【0422】図78は、上記図77のように構成した駆動装置によるPDPの駆動波形を示すタイムチャートであり、1フレームを構成する複数のサブフィールドのうちの1サブフィールド分を示している。この図78に示すように、共通電極X側では、スイッチSW1～SW5、SW9、SW14を適当なタイミングでON/OFF制御することにより、維持放電期間における電圧(±Vs)以外にも、リセット期間、アドレス期間で必要な様々な電圧Vw'、Vaxのパルスを負荷20に印加するようにしている。

【0423】一方、走査電極Y側では、リセット期間、維持放電期間においてはスイッチSW18、SW19と共にOFF、スイッチSW23、SW24と共にONとすることにより、印加電圧をグランドレベルに固定している。また、アドレス期間においては、スイッチSW23、SW24をOFFに維持し、スイッチSW18、SW19をONにすることにより、スイッチドライバ3

80

1' の両端の電源端子にVsc-(-VY)の電圧を印加し、スイッチドライバ31' をそれぞれ適当なタイミングでON/OFF制御することにより、スイッチに必要なパルス電圧を走査電極Yに印加するようにしている。これにより、走査電極Y側の回路を更に簡略化できるため、従来に比べて製造コストの低減化を実現することができる。

【0424】なお、アドレス電極Aは、アドレス期間に電圧Vaxを印加することを除いて、グランドレベルに固定されている。維持放電期間においては、アドレス電極Aをハイインピーダンスの状態に保つようにしても良い。

【0425】図79は、第11の実施形態による駆動装置の更に他の構成例を示す図である。この図79において、図77に示した符号と同一の符号を付したものは、同一の機能を有するものであるので、重複する説明は省略する。上記図77では、走査電極Yの印加電圧をグランドレベルにするためのスイッチSW23、SW24を、PDPの各表示ラインに共通な回路として構成していた。

【0426】これに対して、図79に示す構成では、走査電極Yの印加電圧をグランドレベルにするためのスイッチSW25をスイッチドライバ31' の一部として組み込み、各表示ライン毎にスイッチSW25を設けている。これにより、各表示ライン毎に個別にスイッチング制御を行うことができる。また、走査電極Y側の回路を更に簡略化できるため、従来に比べて製造コストの低減化を実現することができる。なお、この図79のように構成した駆動波形も、図78と同様である。

【0427】(第12の実施形態) 次に、本発明の第12の実施形態について説明する。以上に説明した第1～第11の実施形態では、電源回路に印加する電圧を正の電圧とし、この正の電圧から第1の信号ラインOUTAおよび第2の信号ラインOUTBに正負の電圧を作り出していた。これに対して、第12の実施形態は、電源回路に印加する電圧を負の電圧とし、この負の電圧から第1の信号ラインOUTAおよび第2の信号ラインOUTBを通して出力ラインOUTCに正負の電圧を作り出すものである。

【0428】図80は、第12の実施形態による駆動装置の構成例を示す図である。なお、図80において、図2に示した符号と同一の符号を付したものは、同一の機能を有するものであるので、重複する説明は省略する。図80と図2との違いは、電源回路43、43' に印加する電圧が、図2の場合は正の電圧(+Vs/2)であったのが、図80では負の電圧(-Vs/2)となっている点である。

【0429】このように電源回路43、43' に印加する電圧の極性が反対となっていることにより、コンデンサC1の接続される位置が図80と図2とで異なっている点である。

(41)

特許3201603

81

る。すなわち、図2の場合は、スイッチSW2とスイッチSW3との間にコンデンサC1が接続されていたが、図8①の場合は、スイッチSW1とスイッチSW2との間に接続される。

【0430】図8①は、上記図8①のように構成した駆動装置によるPDPの維持放電期間における駆動波形を示すタイムチャートである。電源回路43、43'に正の電圧を印加するようにした上述の第1～第11の実施形態では、コンデンサC1に電荷を蓄積するまでの期間では、主にスイッチSW1、SW3、SW4をスイッチング制御して負荷2①に正の電圧を印加し、その後スイッチSW2、SW5をスイッチング制御することによって負荷2①に負の電圧を印加するようにしていた。

【0431】これに対して、電源回路43、43'に負の電圧を印加するようにした第12の実施形態では、コンデンサC1に電荷を蓄積するまでの期間では、主にスイッチSW1、SW3、SW5をスイッチング制御して負荷2①に負の電圧を印加し、その後スイッチSW2、SW4をスイッチング制御することによって負荷2①に正の電圧を印加するようにしている。その他の駆動波形の基本的な部分は既に述べたものと同様なので、ここでは詳しい説明は省略する。

【0432】このように、電源回路43、43'に負の電圧を印加するようにした第12の実施形態においても、電源回路43、43'やドライバ回路44、44'に内に備えられる各素子の耐圧を従来と比べて低く抑えることができる。これにより、構成が小さく安価な素子を用いることができ、回路構成の簡素化と製造コストの低減を実現することができる。また、第12の実施形態の図8①が示す電源回路43、43'に正の電圧を印加し、図8①が示す出力ラインOUTCの電圧をGND、Vs間にて振幅させる動かし方もある。

【0433】図8②は、第12の実施形態による駆動装置の他の構成例を示す図であり、図8①および図77、図79と同様の構成には同じ符号を付している。すなわち、この図8②に示す駆動装置は、図77、図79に示した回路に図8①のアイデアを組み合わせたものである。このようにすれば、図77および図79に示した走査電極Y側の回路を削減することができる。さらに、場合によってはVs=Vsとし、Vs電源を削減することも可能である。

【0434】(第13の実施形態)次に、本発明の第13の実施形態について説明する。図8③は、第13の実施形態による駆動装置の構成例を示す図である。この図8③に示す構成は、図2に示した構成を更に応用したものであり、互いに対応する構成には同一の符号を付し、重複する説明を省略する。

【0435】図8③において、共通電極X側のスイッチSW1、SW2は、図示しないA/D電源より発生される電圧(Vs/4)の電源ラインとグランドとの間に直

82

列に接続される。上記2つのスイッチSW1、SW2の間にコンデンサC1の一方の端子が接続され、このコンデンサC1の他方の端子とグランドとの間に、スイッチSW3が接続される。

【0436】また、上記電圧(Vs/4)の電源ラインとグランドとの間に接続されたスイッチSW1、SW2と並列に、スイッチSW27、コンデンサC7およびスイッチSW28が直列に接続される。さらに、スイッチSW26は、上記コンデンサC1の他方の端子と、コンデンサC7のスイッチSW27に接続される一方の端子との間に接続される。そして、上記コンデンサC1の一方の端子とコンデンサC7の他方の端子との間にドライバ回路44が接続される。このドライバ回路44は、2つのスイッチSW4、SW5を備えている。

【0437】また、走査電極Y側のスイッチSW1'、SW2'は、図示しないA/D電源より発生される電圧(Vs/4)の電源ラインとグランドとの間に直列に接続される。上記2つのスイッチSW1'、SW2'の間にコンデンサC4の一方の端子が接続され、このコンデンサC4の他方の端子とグランドとの間に、スイッチSW3'が接続される。

【0438】また、上記電圧(Vs/4)の電源ラインとグランドとの間に接続されたスイッチSW1'、SW2'と並列に、スイッチSW27'、コンデンサC8およびスイッチSW28'が直列に接続される。さらに、スイッチSW26'は、上記コンデンサC4の他方の端子と、コンデンサC8のスイッチSW27'に接続される一方の端子との間に接続される。そして、上記コンデンサC4の一方の端子とコンデンサC8の他方の端子との間にドライバ回路44'が接続される。このドライバ回路44'は、2つのスイッチSW4'、SW5'を備えている。

【0439】図8④は、本実施形態の駆動装置による維持放電期間における駆動波形の詳細例を示すタイムチャートである。図8④に示すように、共通電極X側では、最初に5つのスイッチSW1、SW3、SW27、SW28、SW5がONとなり、残りのスイッチSW2、SW26、SW4はOFFとなる。これにより、第1の信号ラインOUTAの電圧は、スイッチSW1を介して与えられる電圧レベル(Vs/4)となり、第2の信号ラインOUTBの電圧はグランドレベルのままである。このとき、コンデンサC1とコンデンサC7には、それぞれ電圧(Vs/4)に相当する電荷が蓄積される。さらに、スイッチSW5がOFFとなってスイッチSW4がONとなることにより、第1の信号ラインOUTAの電圧(Vs/4)が出力ラインOUTCに出力され、負荷2①の共通電極Xに印加される。

【0440】次に、スイッチSW26、SW27、SW28、SW4がONとなり、残りのスイッチSW1、SW2、SW3、SW5はOFFとなる。これにより、電

(42)

特許3201603

83

圧 ($V_s/4$) の電源ラインとグランドとの間にコンデンサ C1, C7 が直列接続される状態となる。このとき、コンデンサ C1, C7 には電圧 ($V_s/4$) 分の電荷が蓄積されているため、第1の信号ライン OUTA の電圧は、2つのコンデンサ C1, C7 の電荷が足し込まれた結果として ($V_s/2$) となる。この状態でも、第2の信号ライン OUTB の電圧はグランドレベルのままである。このとき、スイッチ SW5 が OFF, スイッチ SW4 が ON となっていることにより、第1の信号ライン OUTA の電圧 ($V_s/2$) が出力ライン OUTC に10 出力され、負荷 2Ω の共通電極 X に印加される。

【0441】次のタイミングでは、スイッチ SW1, SW3, SW27, SW28, SW4 が ON, 残りのスイッチ SW2, SW26, SW5 が OFF となる。これにより、第1の信号ライン OUTA にはスイッチ SW1 を介して電圧 ($V_s/4$) が供給される。この状態でも、第2の信号ライン OUTB の電圧はグランドレベルのままである。このとき、スイッチ SW5 が OFF, スイッチ SW4 が ON となっていることにより、第1の信号ライン OUTA の電圧 ($V_s/4$) が出力ライン OUTC に16 出力され、負荷 2Ω の共通電極 X に印加される。

【0442】次に、SW4 を OFF, スイッチ SW5 を ON に切り替える。これにより、第2の信号ライン OUTB の電圧が出力ライン OUTC に10 出力され、負荷 2Ω の共通電極 X に対する印加電圧がグランドレベルとされる。

【0443】その後、スイッチ SW3, SW26, SW5 が ON, 残りのスイッチ SW1, SW2, SW27, SW28, SW4 が OFF となることにより、第2の信号ライン OUTB の電圧が、コンデンサ C7 に蓄積されていた電荷に応じて ($-V_s/4$) に引き下げられる。このとき、スイッチ SW5 が ON となっていることにより、第2の信号ライン OUTB の電圧 ($-V_s/4$) が出力ライン OUTC に16 出力され、負荷 2Ω の共通電極 X に印加される。

【0444】次に、スイッチ SW3 が OFF, スイッチ SW2 が ON に切り替えられる。これにより、共通電極 X とグランドとの間にコンデンサ C1, C7 が直列接続される状態となる。このとき、コンデンサ C1, C7 には電圧 ($V_s/4$) 分の電荷が蓄積されているため、これら2つのコンデンサ C1, C7 の電荷が足し込まれた結果として、第2の信号ライン OUTB の電圧が ($-V_s/2$) に引き下げられる。また、第1の信号ライン OUTA の電圧は、グランドレベルのままである。このとき、スイッチ SW5 が ON となっているので、第2の信号ライン OUTB の電圧 ($-V_s/2$) が出力ライン OUTC に10 出力され、負荷 2Ω の共通電極 X に印加される。

【0445】その後、スイッチ SW2 が OFF, スイッチ SW3 が ON に再び切り替えられる。これにより、第

84

1 の信号ライン OUTA の電圧が ($+V_s/4$) に引き上げられるとともに、第2の信号ライン OUTB の電圧が ($-V_s/4$) に引き上げられる。このとき、スイッチ SW5 が ON となっていることにより、第2の信号ライン OUTB の電圧 ($-V_s/4$) が出力ライン OUTC に16 出力され、負荷 2Ω の共通電極 X に印加される。

【0446】次に、最初の状態と同様に、5つのスイッチ SW1, SW3, SW27, SW28, SW5 が ON, 残りのスイッチ SW2, SW26, SW4 が OFF となる。これにより、第1の信号ライン OUTA の電圧が ($V_s/4$) となり、第2の信号ライン OUTB の電圧がグランドレベルとなる。このとき、第2の信号ライン OUTB の電圧が出力ライン OUTC に10 出力され、負荷 2Ω の共通電極 X に対する印加電圧がグランドレベルとされる。以降同様に繰り返されていく。

【0447】なお、この図 84 では図示していないが、走査電極 Y 側の各スイッチ SW1', SW2', SW3', SW26', SW27', SW28', SW4', SW5' についても共通電極 X 側と同様のスイッチング制御が行われる。ただし、図 84 に示すように、共通電極 X 側の出力ライン OUTC の出力電圧と走査電極 Y 側の出力ライン OUTC' の出力電圧とが互いに逆相となるようにスイッチング制御が行われる。

【0448】以上のように、本実施形態によれば、電圧 ($V_s/4$) を発生する 1 つの電源から、正負の電圧 ($\pm V_s/2$) を交互に繰り返す駆動波形を出力ライン OUTC, OUTC' 上に作りだすことができる。そして、このようにして作り出した正負の電圧 ($\pm V_s/2$) を共通電極 X 側の出力ライン OUTC および走査電極 Y 側の出力ライン OUTC' に逆相にて印加することにより、負荷 2Ω の両電極 X, Y 間に差電圧 (V_s) を印加することができる。

【0449】上述したように、容積性の負荷 2Ω を駆動する際、その電力は、負荷 2Ω の容量 C_p、負荷 2Ω の駆動電圧 V、負荷 2Ω に電圧を印加する際の周波数 f を用いて、 $2C_p \cdot V^2 \cdot f$ で表される。本実施形態においては、負荷 2Ω に印加する電圧の絶対値は従来の $1/4$ で良く、その代わりに負荷 2Ω に電圧を印加する際の周波数が 4 倍となるので、負荷 2Ω を駆動する際の電力は、 $2C_p \cdot (V/4)^2 \cdot (4f)$ で表され、従来の $1/4$ に抑制することができる。したがって、特に電力回収回路を設けなくても、従来と比べて電力利用効率を向上させることができる。

【0450】なお、ここでは、共通電極 X および走査電極 Y の両側から正負の電圧 ($\pm V_s/2$) を逆相にて印加するようにしたが、第 11 の実施形態と同様に、例えば走査電極 Y 側をグランドに接続し、共通電極 X に正負の電圧 ($\pm V_s$) を印加するようにしても良い。この場合の構成は図 85 のようになる。この図 85 の構成において、共通電極 X 側の構成は、図 83 に示した構成とほ

(43)

特許3201603

85

ば同様であり、電源ラインが($V_s/4$)ではなく($V_s/2$)となるのみが相違する。また、図85の構成では、走査電極Y側はグランドに接続されている。この場合の駆動波形は図86のようになる。

【0451】このように、図85の例によれば、電圧($V_s/2$)を発生する1つの電源から、正負の電圧($\pm V_s$)を交互に繰り返す駆動波形を出力ラインOUTC上に作りだすことができる。

【0452】また、図83の例では電圧($V_s/4$)のA/D電源を用いて駆動波形を発生させる例を示したが、図83に示したスイッチSW26～SW28およびコンデンサC7と同様の構成を有する低電圧低電力回路部を更に直列に追加していくことにより、更に小さい電圧(例えば、 $1/8 V_s$ 、 $1/16 V_s$ 、 \dots)のA/D電源を用いて同様の駆動波形を発生させることが可能である。よって、負荷2Ωを駆動する際の電力ロスを更に低減することができる。例えば、上述の低電圧低電力回路部を2段直列に入れた場合、負荷2Ωを駆動する際の電力ロスは、 $2C_p \cdot (V_s/n)^2 \cdot (n^2)$ で表され、従来の $1/n$ に抑制することができる。

【0453】図87は、第13の実施形態による駆動装置の他の構成例を示す図であり、図83に示した駆動装置と同一の構成部分には同一の符号を付し、重複する説明を省略する。

【0454】図87に示す駆動装置では、図83に示した構成に加えて、共通電極X側にスイッチSW30、走査電極Y側にスイッチSW30'を備えている。スイッチSW30は、コンデンサC1の一方の端子と、コンデンサC7の他方の端子との間に接続される。また、スイッチSW30'は、コンデンサC4の一方の端子と、コンデンサC8の他方の端子との間に接続される。スイッチSW1は、 $V_s/4$ 電源ラインとコンデンサC1の一方の端子との間に接続される。スイッチSW1'は、 $V_s/4$ 電源ラインとコンデンサC4の一方の端子との間に接続される。また、コンデンサC7の一方の端子は第1の信号ラインOUTAに接続され、コンデンサC8の一方の端子は第3の信号ラインOUTA'に接続される。

【0455】また、図83ではスイッチSW28が第2の信号ラインOUTBとグランドとの間に接続され、スイッチSW28'が第4の信号ラインOUTB'とグランドとの間に接続されていたのに対し、図87では、スイッチSW28が第2の信号ラインOUTBとスイッチSW3との間に接続され、スイッチSW28'が第4の信号ラインOUTB'とスイッチSW3'との間に接続されている。

【0456】図88は、図87に示した駆動装置による維持放電期間における駆動波形の詳細例を示すタイムチャートである。図88に示すように、共通電極X側の第1の信号ラインOUTAの駆動波形は、以下に述べる2

86

点を除いて図84に示したものと同様である。第1点目の相違は、上記図84の例では、第1の信号ラインOUTAの電圧に正の電圧が印加されているとき、第2の信号ラインOUTBの電圧はグランドレベルに固定しているが、図88の例では、第1の信号ラインOUTAの電圧を($+V_s/2$)としている間に第2の信号ラインOUTBの電圧を($+V_s/4$)に上げている点である。

【0457】2点目の相違は、上記図84の例では、第2の信号ラインOUTBの電圧を($-V_s/2$)としている間に第1の信号ラインOUTAの電圧はグランドレベルとしていたが、図88の例では($-V_s/4$)レベルまで下げるようしている点である。以下、この2点目の相違について詳しく説明する。

【0458】すなわち、スイッチSW1、SW2、SW4、SW27、SW28をOFF、スイッチSW3、SW5、SW26をONにして第2の信号ラインOUTBの電圧をグランドレベルから($-V_s/4$)に下げるときに、スイッチSW30はOFFとしておくことにより、第1の信号ラインOUTAの電圧を($V_s/4$)からグランドレベルに下げる。なお、ここではスイッチSW3とスイッチSW26とをONとしているが、スイッチSW3、SW26はOFFとし、スイッチSW2、SW27をONとする方法でも良い。更に、スイッチSW28もONとすれば、コンデンサC7とコンデンサC1とを並列に接続できるため、コンデンサC1に充電されている電荷をより有効に使うことができる。

【0459】次に、このように第1の信号ラインOUTAの電圧をグランドレベル、第2の信号ラインOUTBの電圧を($-V_s/4$)とした状態で、スイッチSW2をON、スイッチSW3をOFFに切り替えることにより、第1の信号ラインOUTAの電圧をグランドレベルから($-V_s/4$)、第2の信号ラインOUTBの電圧を($-V_s/4$)から($-V_s/2$)に下げる。

【0460】その後、スイッチSW2がOFF、スイッチSW3がONに再び切り替えられる。これにより、第1の信号ラインOUTAの電圧がグランドレベルに引き上げられるとともに、第2の信号ラインOUTBの電圧が($-V_s/4$)に引き上げられる。次に、最初の状態と同様に、スイッチSW1、SW3、SW27、SW28、SW5がON、残りのスイッチSW2、SW26、SW4、SW30はOFFとなる。これにより、第1の信号ラインOUTAの電圧が($V_s/4$)となり、第2の信号ラインOUTBの電圧がグランドレベルとなる。

【0461】走査電極Y側の各スイッチSW1'、SW2'、SW3'、SW26'、SW27'、SW28'、SW4'、SW5'、SW30'についても共通電極X側と同様のスイッチング制御が行われる。ただし、図87に示すように、共通電極X側の出力ラインOUTCの出力電圧と走査電極Y側の出力ラインOUTC'の出力電圧とが互いに逆相となるようにスイッチ

グ制御が行われる。

【0462】以上のように、図87の構成例においても、電圧($V_s/4$)を発生する1つの電源から、正負の電圧($\pm V_s/2$)を交互に繰り返す駆動波形を出力ラインOUTC、OUTC'上に作りだすことができる。そして、このようにして作り出した正負の電圧($\pm V_s/2$)を共通電極X側の出力ラインOUTCおよび走査電極Y側の出力ラインOUTC'に逆相にて印加することにより、負荷20の両電極X、Y間に差電圧(V_s)を印加することができる。このように、負荷20に印加する電圧の絶対値は従来の1/4で良ことから、負荷20を駆動する際の電力ロスは、従来の1/4に抑制することができる。したがって、特に電力回収回路を設けなくても、従来と比べて電力利用効率を向上させることができる。

【0463】また、出力ラインOUTC(OUTC')の電圧をグランドレベルにする方法は、第1の信号ラインOUTA(OUTA')の電圧をグランドレベル、第2の信号ラインOUTB(OUTB')の電圧を($-V_s/4$)にしてスイッチSW4(SW4')をONにする方法もあるが、コンデンサC1、C7、C4、C8を充電する期間を長くするためには、図87に示した例の方が好ましい。

【0464】なお、ここでは、共通電極Xおよび走査電極Yの両側から正負の電圧($\pm V_s/2$)を逆相にて印加するようにしたが、第1の実施形態と同様に、例えば走査電極Y側をグランドに接続し、共通電極Xに正負の電圧($\pm V_s$)を印加するようにしても良い。この場合の構成は図89のようになる。この図89の構成において、共通電極X側の構成は、図87に示した構成とほぼ同様であり、電源ラインが($V_s/4$)ではなく($V_s/2$)となるのみが相違する。また、図89の構成では、走査電極Y側はグランドに接続されている。この場合の駆動波形は図90のようになる。

【0465】このように、図89の例によれば、電圧($V_s/2$)を発生する1つの電源から、正負の電圧($\pm V_s$)を交互に繰り返す駆動波形を出力ラインOUTC上に作りだすことができる。

【0466】また、図87の例では電圧($V_s/4$)のA/D電源を用いて駆動波形を発生させる例を示したが、図87に示したスイッチSW26～SW28、SW30およびコンデンサC1と同様の構成を有する低電圧低電力回路部を更に直列に追加していくことにより、更に小さい電圧(例えば、 $1/8 V_s$ 、 $1/16 V_s$ 、 \dots)のA/D電源を用いて同様の駆動波形を発生させることが可能である。よって、負荷20を駆動する際の電力ロスを更に低減することができる。例えば、上述の低電圧低電力回路部をn段直列に入れた場合、負荷20を駆動する際の電力ロスは、 $2C_p \cdot (V_s/n)^2 \cdot (n-1)$ で表され、従来の1/4に抑制することができる。

【0467】図91は、第13の実施形態による駆動装置の他の構成例を示す図であり、図89および図77に示した駆動装置と同一の構成部分には同一の符号を付し、重複する説明を省略する。

【0468】図91に示す駆動装置は、図89の例のように共通電極X側に低電圧低電力回路部を2段直列に入れることと、図80に示したように電源として負の電圧($-V_s/2$)を用いることと、図77に示したように走査電極Y側をスキャンドライバ31'および電圧Vscの電源ラインにより構成し、負荷20の片側にて電圧($\pm V_s$)を印加することを組み合わせたものである。

【0469】このように構成することにより、共通電極X側から負荷20に電圧($\pm V_s$)を印加し、走査電極Y側の回路の簡略化が可能となる。また、外部電源電圧が($-V_s/2$)であり、負荷20に対する消費電力は従来の1/2になる。また、ドライバ回路44とスキャンドライバ31'の耐圧は $V_s/2$ ($Vsc = V_s/2$ の場合)以上であれば良く、耐圧を従来の1/2に抑えることができる。

【0470】図92は、図91に示した駆動装置による維持放電期間における駆動波形の詳細例を示すタイムチャートである。図92に示すように、共通電極X側の出力ラインOUTCおよび走査電極Y側の出力ラインOUTC'の駆動波形は、図91に示したものと全く同様である。また、共通電極X側の第1の信号ラインOUTAおよび第2の信号ラインOUTBの駆動波形は、図90の例ではグランドレベルの期間よりも($V_s/2$)レベルの期間の方が長かったのに対して、図92の例ではこれとは逆に($V_s/2$)レベルの期間よりグランドレベルの期間の方が長い点を除き、両者の駆動波形はほぼ同様である。

【0471】なお、出力ラインOUTCの電圧をグランドレベルにする方法は、第1の信号ラインOUTAの電圧を($V_s/2$)、第2の信号ラインOUTBの電圧をグランドレベルにしてスイッチSW5をONにする方法もあるが、コンデンサC1、C7を充電する期間を長くするためには、図92に示した例のように、第1の信号ラインOUTAの電圧をグランドレベル、第2の信号ラインOUTBの電圧を($-V_s/2$)グランドレベルにしてスイッチSW4をONにする方が好ましい。

【0472】また、タイムチャートの最初の部分で第1の信号ラインOUTAの電圧を($V_s/2$)、第2の信号ラインOUTBの電圧をグランドレベルにする方法として、図92の例では、スイッチSW1とスイッチSW30とをONとしているが、スイッチSW2とスイッチSW28とをONにする方法もある。更に、スイッチSW27もONとすれば、コンデンサC1に充電されている電荷をより有効に使うことができる。

【0473】以上第1～第13の実施形態について説明してきたが、これらの駆動装置は、プラスマディスプレ

(45)

特許3201603

89

イ装置に適用することが可能である。プラズマディスプレイ装置の構成は、上記図99～図101に示した通りである。

【0474】(第14の実施形態) 次に、本発明の第14の実施形態について説明する。第14の実施形態は、以上各実施形態に示した駆動方法を、本出願人が既に取得済みの特許2801893号に記載の駆動方法に適用したものである。図93および図94は、上記特許2801893号に記載されたPDPの概略構成およびプラズマディスプレイ装置の概略構成を抜粋して示した図である。また、図95は、この特許2801893号に記載の駆動方法を実現する駆動装置の構成を概略的にまとめて示した図である。

【0475】以下に、上記特許2801893号に記載の駆動方法を図95に従って簡単に説明する。図95において、負荷20(PDP)の一面に設けられた互いに平行な複数の共通電極Xのうち、奇数番目の共通電極X₀は奇数用のX₀ドライバ61に接続され、偶数番目の共通電極X_eは偶数用のX_eドライバ62に接続される。

【0476】また、負荷20(PDP)の一面に設けられた互いに平行な複数の走査電極Y₁～Y_nは、それぞれ各表示ライン毎に設けられたスキャンドライバ31'～31'～nに接続される。そして、これら複数のスキャンドライバ31'～31'～nのうち、奇数番目のスキャンドライバ31'～31'～nは奇数用のY₀共通回路63に接続され、偶数番目のスキャンドライバ31'～31'～nは偶数用のY_e共通回路64に接続される。

【0477】そして、あるタイミングt1では、X₀ドライバ61とY₀共通回路63およびX_eドライバ62とY_e共通回路64の組合せで共通電極Xおよび走査電極Yを駆動する。また、次のタイミングt2では、X₀ドライバ61とY_e共通回路64およびX_eドライバ62とY₀共通回路63の組合せで共通電極Xおよび走査電極Yを駆動する。

【0478】以上の動作を、奇数の表示ラインと偶数の表示ラインとを別々のフィールドに分けて表示し、これを交互に繰り返すことによって全画面を表示する。図99に示した従来のプラズマディスプレイ装置では、上述のタイミングt1における駆動に相当する駆動しか行わないのに対し、図95の例では、タイミングt1における表示ラインの駆動を補間する駆動をタイミングt2で行うことにより、PDPの表示ラインを擬似的に2倍に増やし、表示の解像度および輝度を向上できるようにしている。

【0479】第14の実施形態では、この図95に示すX₀ドライバ61、X_eドライバ62、Y₀共通回路63、Y_e共通回路64のそれぞれに上記第1～第13で説明した構成を適用するものである。すなわち、図95

99

に示す負荷20はプラズマディスプレイパネルであり、例えば図56～図60で説明した動作をX₀ドライバ61、X_eドライバ62、Y₀共通回路63、Y_e共通回路64に当てはめることにより説明できる。図56のスキャンドライバ31'～31'～n～nに当てはめることにより説明できる。

【0480】このようにすれば、素子の耐圧を低く抑え、低電圧化による省電力化と、低電圧化および低耐圧化によるコストダウンを実現しながら、PDPの表示解像度の向上および適度向上を実現することができる。

【0481】(第15の実施形態) 次に、本発明の第15の実施形態について説明する。図96は、図2に示した構成を更に応用したものであり、互いに対応する構成には同一の符号を付している。図2との違いは、電源回路の入力電圧のみである故、出力ラインO UTC、O UTC'の出力波形は図97のようになる。動作の詳細については、図2と同じ故、省略する。

【0482】(その他の実施形態) 図98は、その他の実施形態を説明するための図である。この図98は、コンデンサC1に電圧を印加する他の方法を示したものである。すなわち、V_{IN}なる電源を一次側に設置し、2次側において、コイルL1、L2を使って入力電圧V_{IN}に對して任意の2倍の電圧V_{IN}を生成し、コンデンサC1に印加する。そして、スイッチSW2、SW3を用いて上記各実施形態の動作を実現する。このように構成すると、スイッチSW1を省略することができるとともに、電源を簡易化することができる。

【0483】なお、以上の各実施形態では、平面表示装置、特に交流駆動型PDP装置の負荷に対して駆動電圧を印加する例について説明してきたが、本発明で対象とする負荷はこの例に限定されるものではなく、Eli表示装置あるいは平面表示装置以外にも適用することも可能である。

【0484】(付記1) 表示手段となる容積性負荷に対して所定電圧を印加するマトリクス型平面表示装置の駆動装置において、前記容積性負荷の一端に高レベルの第1の電圧を供給するための第1の信号ラインと、前記容積性負荷の前記一端に前記第1の電圧に対して低レベルの第2の電圧を供給するための第2の信号ラインと、前記容積性負荷の他端に高レベルの第3の電圧を供給するための第3の信号ラインと、前記容積性負荷の前記他端に前記第3の電圧に対して低レベルの第4の電圧を供給するための第4の信号ラインとを備え、前記第2の信号ラインの電圧を、前記第1および第2の電圧の間であって、両電圧の基準レベルとなる第5の電圧に設定し、且つ、前記第1の信号ラインの電圧を前記高レベルの第1の電圧に設定して、前記第1の信号ラインを介して前記高レベルの第1の電圧を前記容積性負荷の前記一端に對して供給するとともに、前記第3の信号ラインの電圧を、前記第3および第4の電圧の間であって、両電圧の

(46)

特許3201603

91

基準レベルとなる第6の電圧に設定し、且つ、前記第4の信号ラインの電圧を前記低レベルの第4の電圧に設定して、前記第4の信号ラインを介して前記低レベルの第4の電圧を前記容積性負荷の前記他端に対して供給することにより、前記容積性負荷に対して、前記高レベルの第1の電圧と前記低レベルの第4の電圧との差電圧を印加する第1の状態と、前記第1の信号ラインの電圧を前記基準レベルとなる第5の電圧に設定し、且つ、前記第2の信号ラインの電圧を前記低レベルの第2の電圧に設定して、前記第2の信号ラインを介して前記低レベルの第2の電圧を前記容積性負荷の前記一端に対して供給するとともに、前記第4の信号ラインの電圧を前記基準レベルとなる第6の電圧に設定し、且つ、前記第3の信号ラインの電圧を前記高レベルの第3の電圧に設定して、前記第3の信号ラインを介して前記高レベルの第3の電圧を前記容積性負荷の前記他端に対して供給することにより、前記容積性負荷に対して、前記低レベルの第2の電圧と前記高レベルの第3の電圧との差電圧を印加する第2の状態と、が交互に実施されるよう制御されることを特徴とする駆動装置。

【0485】(付記2)前記第1、第2の信号ラインの間に設け、前記第1の信号ラインから与えられる前記高レベルの第1の電圧と、前記第2の信号ラインから与えられる前記低レベルの第2の電圧とを選択的に前記容積性負荷の一端に印加し、前記容積性負荷を駆動する第1の駆動回路、および前記第3、第4の信号ラインの間に設け、前記第3の信号ラインから与えられる前記高レベルの第3の電圧と、前記第4の信号ラインから与えられる前記低レベルの第4の電圧とを選択的に前記容積性負荷の他端に印加し、前記容積性負荷を駆動する第2の駆動回路の少なくとも一方を備えることを特徴とする付記1に記載の駆動装置。

(付記3)前記基準レベルとなる第5の電圧および前記基準レベルとなる第6の電圧の少なくとも一方はグランドレベルの電圧であることを特徴とする付記1に記載の駆動装置。

【0486】(付記4)前記第1の信号ラインおよび前記第2の信号ラインに、前記高レベルの第1の電圧および前記低レベルの第2の電圧を供給するための、前記基準レベルとなる第5の電圧に対して正の電圧を発生する電源を用いることを特徴とする付記1に記載の駆動装置。

【0487】(付記5)前記第1の信号ラインおよび前記第2の信号ラインに、前記高レベルの第1の電圧および前記低レベルの第2の電圧を供給するための前記基準レベルとなる第5の電圧に対して負の電圧を発生する電源を用いることを特徴とする付記1に記載の駆動装置。

【0488】(付記6)前記高レベルの第1の電圧と前記高レベルの第3の電圧、前記低レベルの第2の電圧と前記低レベルの第4の電圧はそれぞれ同じ値で、前記基

92

準レベルとなる第5の電圧および前記基準レベルとなる第6の電圧はグランドレベルの電圧であり、前記容積性負荷の両端において、前記高レベルの第1の電圧および前記高レベルの第3の電圧、または前記低レベルの第2の電圧および前記低レベルの第4の電圧を発生する共通の電源を有することを特徴とする付記1に記載の駆動装置。

【0489】(付記7)前記高レベルの第1の電圧と前記高レベルの第3の電圧、前記低レベルの第2の電圧と前記低レベルの第4の電圧はそれぞれ異なる値であることを特徴とする付記1に記載の駆動装置。

(付記8)前記高レベルの第1の電圧または前記低レベルの第2の電圧の一方、前記高レベルの第3の電圧または前記低レベルの第4の電圧の一方は、グランドレベルの電圧であることを特徴とする付記7に記載の駆動装置。

【0490】(付記9)前記第3の信号ラインおよび前記第4の信号ラインに、前記高レベルの第3の電圧および前記低レベルの第4の電圧を供給するための、前記基準レベルとなる第6の電圧に対して正の電圧を発生する電源を用いることを特徴とする付記1に記載の駆動装置。

(付記10)前記第3の信号ラインおよび前記第4の信号ラインに、前記高レベルの第3の電圧および前記低レベルの第4の電圧を供給するための、前記基準レベルとなる第6の電圧に対して負の電圧を発生する電源を用いることを特徴とする付記1に記載の駆動装置。

【0491】(付記11)前記高レベルの第1の電圧を前記容積性負荷の一端に供給するタイミングを、前記低レベルの第4の電圧を前記容積性負荷の他端に供給するタイミングよりも早くし、前記高レベルの第3の電圧を前記容積性負荷の他端に供給するタイミングを、前記低レベルの第2の電圧を前記容積性負荷の一端に供給するタイミングよりも早くすることを特徴とする付記1に記載の駆動装置。

(付記12)前記高レベルの第1の電圧のパルス幅を前記低レベルの第4の電圧のパルス幅より広くするとともに、前記高レベルの第3の電圧のパルス幅を前記低レベルの第2の電圧のパルス幅より広くしたことを特徴とする付記1に記載の駆動装置。

【0492】(付記13)前記低レベルの第4の電圧を前記容積性負荷の他端に供給するタイミングを、前記高レベルの第1の電圧を前記容積性負荷の一端に供給するタイミングよりも早くし、前記低レベルの第2の電圧を前記容積性負荷の一端に供給するタイミングを、前記高レベルの第3の電圧を前記容積性負荷の他端に供給するタイミングよりも早くすることを特徴とする付記1に記載の駆動装置。

【0493】(付記14)前記低レベルの第4の電圧のパルス幅を前記高レベルの第1の電圧のパルス幅より広

(47)

特許3201603

93

くするとともに、前記低レベルの第2の電圧のパルス幅を前記高レベルの第3の電圧のパルス幅より広くしたことを特徴とする付記13に記載の駆動装置。

【0494】(付記15)前記低レベルの第4の電圧が前記容積性負荷の他端に供給されている状態のときに、前記高レベルの第1の電圧を前記容積性負荷の一端に供給し、前記低レベルの第2の電圧が前記容積性負荷の一端に供給されている状態のときに、前記高レベルの第3の電圧を前記容積性負荷の他端に供給することを特徴とする付記1に記載の駆動装置。

【0495】(付記16)前記高レベルの第1の電圧が前記容積性負荷の一端に供給されている状態のときに、前記低レベルの第4の電圧を前記容積性負荷の他端に供給し、前記高レベルの第3の電圧が前記容積性負荷の他端に供給されている状態のときに、前記低レベルの第2の電圧を前記容積性負荷の一端に供給することを特徴とする付記1に記載の駆動装置。

【0496】(付記17)前記容積性負荷の一端に印加された電圧を前記高レベルの第1の電圧から前記低レベルの第2の電圧に切り替える前に、前記高レベルの第3の電圧を前記容積性負荷の他端に供給し、前記容積性負荷の一端をハイインピーダンスの状態にして、前記容積性負荷の他端に供給した前記高レベルの第3の電圧を前記低レベルの第4の電圧に切り替えることを特徴とする付記15に記載の駆動装置。

【0497】(付記18)前記容積性負荷の一端に印加された電圧を前記高レベルの第1の電圧から前記基準レベルとなる第5の電圧に切り替える前に、前記高レベルの第3の電圧を前記容積性負荷の他端に供給し、前記容積性負荷の一端をハイインピーダンスの状態にして、前記容積性負荷の他端に供給した前記高レベルの第3の電圧を前記基準レベルとなる第6の電圧に切り替えることを特徴とする付記1に記載の駆動装置。

【0498】(付記19)前記高レベルの第1の電圧を前記容積性負荷の一端に供給するタイミングを、前記低レベルの第4の電圧を前記容積性負荷の他端に供給するタイミングよりも早くし、前記低レベルの第2の電圧を前記容積性負荷の一端に供給するタイミングを、前記高レベルの第3の電圧を前記容積性負荷の他端に供給するタイミングよりも早くすることを特徴とする付記1に記載の駆動装置。

【0499】(付記20)前記高レベルの第1の電圧または前記低レベルの第2の電圧を供給するための第1の電源ラインと前記基準レベルとなる第5の電圧を供給するための第1の基準ラインとの間に直列に接続された第1、第2のスイッチと、前記第1、第2のスイッチの中間に一方の端子が接続されたコンデンサと、前記コンデンサの他方の端子と前記第1の基準ラインとの間に接続された第3のスイッチと、前記コンデンサの両端に接続された前記第1、第2の信号ラインとを備え、前記第

94

1. 第2の信号ラインから前記容積性負荷の一端を接続したことを特徴とする付記1に記載の駆動装置。

【0500】(付記21)前記コンデンサの両端に接続された前記第1、第2の信号ラインの間に直列に接続された第4、第5のスイッチを備え、前記第4、第5のスイッチの中間に前記容積性負荷の一端を接続したことを特徴とする付記20に記載の駆動装置。

【0501】(付記22)前記高レベルの第3の電圧または前記低レベルの第4の電圧を供給するための第2の電源ラインと前記基準レベルとなる第6の電圧を供給するための第2の基準ラインとの間に直列に接続された第6、第7のスイッチと、前記第6、第7のスイッチの中間に一方の端子が接続されたコンデンサと、前記コンデンサの他方の端子と前記第2の基準ラインとの間に接続された第8のスイッチと、前記コンデンサの両端に接続された前記第3、第4の信号ラインとを備え、前記第3、第4の信号ラインから前記容積性負荷の一端を接続したことを特徴とする付記20に記載の駆動装置。

【0502】(付記23)前記コンデンサの両端に接続された前記第3、第4の信号ラインの間に直列に接続された第9、第10のスイッチを備え、前記第9、第10のスイッチの中間に前記容積性負荷の一端を接続したことを特徴とする付記22に記載の駆動装置。

【0503】(付記24)前記第1のスイッチをONにした後で前記第4のスイッチをONにすることを特徴とする付記21に記載の駆動装置。

(付記25)前記第4のスイッチをONにした後で前記第1のスイッチをONにすることを特徴とする付記21に記載の駆動装置。

30 【付記26】前記第1～第3のスイッチは、MOSFETと、当該MOSFETに接続したダイオードにより構成されることを特徴とする付記20に記載の駆動装置。

【0504】(付記27)前記第1のスイッチは、前記第1の電源ラインに接続されたpチャネルもしくはnチャネルのMOSFETと、当該pチャネルMOSFETのドレインもしくはnチャネルMOSFETのソースがアノードに接続されたダイオードにより構成されることを特徴とする付記20に記載の駆動装置。

40 【0505】(付記28)前記第2のスイッチは、前記第1の基準ラインに接続されたnチャネルのMOSFETと、当該nチャネルMOSFETのドレインがカソードに接続されたダイオードにより構成されることを特徴とする付記20に記載の駆動装置。

(付記29)前記第3のスイッチは、MOSFETおよび当該MOSFETに接続したダイオードを2組接続して構成されることを特徴とする付記20に記載の駆動装置。

50 【0506】(付記30)前記第1～第5のスイッチの制御を、記録媒体に記録されたプログラムに従って行う

(48)

特許3201603

95

ことを特徴とする付記21に記載の駆動装置。

【0507】(付記31)前記高レベルの第1の電圧または前記低レベルの第2の電圧を供給するための第1の電源ラインと前記基準レベルとなる第5の電圧を供給するための第1の基準ラインとの間に直列に接続された第1、第4、第2のスイッチと、前記第4、第2のスイッチの中間に一方の端子が接続されたコンデンサと、前記コンデンサの他方の端子と前記第1の基準ラインとの間に接続された第3のスイッチと、前記第1、第4のスイッチの中間に接続された前記第1の信号ラインと、前記コンデンサの他方の端子に接続された前記第2の信号ラインとの間に接続された第5のスイッチとを備え、前記第1の信号ラインと前記第5のスイッチとの間に前記容性負荷の一端が接続されたことを特徴とする付記1に記載の駆動装置。

【0508】(付記32)前記高レベルの第1の電圧または前記低レベルの第2の電圧を供給するための第1の電源ラインと前記基準レベルとなる第5の電圧を供給するための第1の基準ラインとの間に直列に接続された第1、第2のスイッチと、前記第1、第2のスイッチの中間に一方の端子が接続されたコンデンサと、前記コンデンサの他方の端子と前記第1の基準ラインとの間に直列に接続された第5、第3のスイッチと、前記コンデンサの一方の端子に接続された前記第1の信号ラインと前記第5、第3のスイッチの中間に接続された前記第2の信号ラインとの間に接続された第4のスイッチとを備え、前記第4のスイッチと前記第2の信号ラインとの間に前記容性負荷の一端が接続されたことを特徴とする付記1に記載の駆動装置。

【0509】(付記33)前記第1の信号ラインおよび前記第2の信号ラインにオフセット電圧を発生させるオフセット回路を設けたことを特徴とする付記20に記載の駆動装置。

(付記34)前記容性負荷に対して前記第1乃至第6の電圧以外の電圧を供給するための回路を更に備えることを特徴とする付記22に記載の駆動装置。

【0510】(付記35)前記容性負荷はプラズマディスプレイパネルであって、リセット期間中に書き込み電圧を発生するための電源と前記第4の信号ラインとの間に第11のスイッチを備えたことを特徴とする付記34に記載の駆動装置。

(付記36)前記第2の電源ラインから供給される電圧と前記書き込み電圧を発生するための電源から供給される電圧とを加算して前記容性負荷に供給することを特徴とする付記35に記載の駆動装置。

【0511】(付記37)前記書き込み電圧を発生するための電源から供給される電圧を単独で前記容性負荷に供給することを特徴とする付記35に記載の駆動装置。

(付記38)前記リセット期間中に、時間経過に対して

96

印加電圧が徐々に変化するパルスを前記容性負荷に印加することを特徴とする付記35に記載の駆動装置。

【0512】(付記39)前記容性負荷に対して前記第1乃至第6の電圧以外の複数の電圧をそれぞれ異なる電源から供給するための回路を更に備えることを特徴とする付記2に記載の駆動装置。

(付記40)前記容性負荷は線順次走査型のディスプレイパネルであって、アドレス期間中に前記容性負荷に印加するパルスを発生するスキャンドライバ回路を、前記第3、第4の信号ラインの間に設けたことを特徴とする付記2に記載の駆動装置。

【0513】(付記41)前記第1、第2の信号ラインの間に電力回收回路を設けたことを特徴とする付記20に記載の駆動装置。

(付記42)前記第3、第4の信号ラインの間に電力回收回路を設けたことを特徴とする付記22に記載の駆動装置。

【0514】(付記43)前記電力回收回路は、2系統の共振回路を備えることを特徴とする付記41に記載の駆動装置。

(付記44)前記電力回收回路は、1系統の共振回路を備えることを特徴とする付記41に記載の駆動装置。

【0515】(付記45)前記電力回收回路内のコイルと前記容性負荷との間にダイオードを備えたことを特徴とする付記41に記載の駆動装置。

(付記46)前記電力回收回路は、前記第1の信号ラインと前記第2の信号ラインとの間に直列に接続された2つの電力回収用コンデンサと、前記2つの電力回収用コンデンサの中間からスイッチング素子を介して接続されたコイルとを備えることを特徴とする付記41に記載の駆動装置。

【0516】(付記47)前記容性負荷はプラズマディスプレイパネルであって、前記第9のスイッチは、アドレス期間中に前記容性負荷に印加するパルスを発生させるためのスイッチング素子であり、かつ、維持放電期間中に前記容性負荷に印加するパルスを発生させるためのスイッチング素子であることを特徴とする付記3に記載の駆動装置。

【0517】(付記48)前記容性負荷はプラズマディスプレイパネルであって、前記第10のスイッチは、アドレス期間中に前記容性負荷に印加するパルスを発生させるためのスイッチング素子であり、かつ、維持放電期間中に前記容性負荷に印加するパルスを発生させるためのスイッチング素子であることを特徴とする付記23に記載の駆動装置。

【0518】(付記49)前記容性負荷はプラズマディスプレイパネルであって、前記第3、第4の信号ラインの間に、アドレス期間中に前記容性負荷に印加するパルスを発生するスキャンドライバ回路を備え、前記スキャンドライバ回路内のスイッチング素子によって前記

(49)

特許3201603

97

電力回収回路内のスイッチング動作を行うことを特徴とする付記4-2に記載の駆動装置。

【0519】(付記50)前記容積性負荷は複数次走査型のディスプレイパネルであって、前記複数次走査型のディスプレイパネルの各表示ライン毎に設けた前記スキャンドライバ回路から成る集積回路を備えたことを特徴とする付記4-1に記載の駆動装置。

(付記51)前記スキャンドライバ回路は前記容積性負荷の両側に設けられ、前記容積性負荷の両側におけるスキャンドライバ回路および駆動回路を前記集積回路により構成することを特徴とする付記5-1に記載の駆動装置。

【0520】(付記52)前記容積性負荷はプラスマディスプレイパネルであって、複数の走査電極と複数の共通電極とが交互に配設されるとともに、該走査電極および共通電極に交差するように複数のアドレス電極が配設されたり、前記第1の信号ラインから与えられる前記高レベルの第1の電圧と、前記第2の信号ラインから与えられる前記低レベルの第2の電圧とを選択的に前記プラスマディスプレイパネルの前記共通電極に印加し、前記第3の信号ラインから与えられる前記高レベルの第3の電圧と、前記第4の信号ラインから与えられる前記低レベルの第4の電圧とを選択的に前記プラスマディスプレイパネルの前記走査電極に印加することを特徴とする付記1に記載の駆動装置。

【0521】(付記53)前記共通電極および走査電極に互いに逆位相の電圧を印加することにより、前記容積性負荷に対して前記差電圧を印加することを特徴とする付記5-2に記載の駆動装置。

(付記54)サステイン期間中に前記アドレス電極の電位をグランドレベルとすることを特徴とする付記5-3に記載の駆動装置。

【0522】(付記55)前記容積性負荷は複数次走査型およびメモリ型のディスプレイパネルであって、複数の走査電極と複数の共通電極とが交互に配設されてなり、奇数番目の共通電極を駆動する奇数用共通電極ドライバと、偶数番目の共通電極を駆動する偶数用共通電極ドライバとを備えるとともに、奇数番目の走査電極を駆動する奇数用走査電極ドライバと、偶数番目の走査電極を駆動する偶数用走査電極ドライバとを備え、前記奇数用共通電極ドライバおよび前記偶数用共通電極ドライバはそれぞれ前記第1、第2の信号ラインを備え、前記奇数用走査電極ドライバおよび前記偶数用走査電極ドライバはそれぞれ前記第3、第4の信号ラインを備え、あるタイミングにおいては前記奇数用共通電極ドライバと前記奇数用走査電極ドライバ、および前記偶数用共通電極ドライバと前記偶数用走査電極ドライバとの組み合わせで前記複数の走査電極および複数の共通電極を駆動し、別のタイミングにおいては前記奇数用共通電極ドライバと前記偶数用走査電極ドライバ、および前記偶数用共通

98

電極ドライバと前記奇数用走査電極ドライバとの組み合わせて前記複数の走査電極および複数の共通電極を駆動することにより、前記共通電極側のドライバと前記走査電極側のドライバとの組合せを交互に切り替えるながら前記容積性負荷に電圧を印加することを特徴とする付記1に記載の駆動装置。

【0523】(付記56)表示手段となる容積性負荷の一端に高レベルの第1の電圧を供給するための第1の信号ラインと、前記容積性負荷の前記一端に前記第1の電圧に対して低レベルの第2の電圧を供給するための第2の信号ラインと、前記容積性負荷の他端に高レベルの第3の電圧を供給するための第3の信号ラインと、前記容積性負荷の前記他端に前記第3の電圧に対して低レベルの第4の電圧を供給するための第4の信号ラインとを備え、前記容積性負荷に対して所定電圧を印加するマトリクス型平面表示装置の駆動方法において、前記第2の信号ラインの電圧を、前記第1および第2の電圧の間であって、両電圧の基準レベルとなる第5の電圧とした状態で、前記第1の信号ラインから与えられる前記高レベルの第1の電圧を前記容積性負荷の一端に対して供給するとともに、前記第3の信号ラインの電圧を、前記第3および第4の電圧の間であって、両電圧の基準レベルとなる第6の電圧とした状態で、前記第4の信号ラインから与えられる前記低レベルの第4の電圧を前記容積性負荷の他端に対して供給することにより、前記容積性負荷に対して、前記高レベルの第1の電圧と前記低レベルの第4の電圧との差電圧を印加する第1の印加工程と、前記第1の信号ラインの電圧を前記基準レベルとなる第5の電圧とした状態で、前記第2の信号ラインから与えられる前記低レベルの第2の電圧を前記容積性負荷の前記一端に対して供給するとともに、前記第4の信号ラインの電圧を前記基準レベルとなる第6の電圧とした状態で、前記第3の信号ラインから与えられる前記高レベルの第3の電圧を前記容積性負荷の前記他端に対して供給することにより、前記容積性負荷に対して、前記低レベルの第2の電圧と前記高レベルの第3の電圧との差電圧を印加する第2の印加工程と、を交互に実施するようにしたことを特徴とする駆動方法。

【0524】(付記57)表示手段となる容積性負荷に対して所定電圧を印加するマトリクス型平面表示装置の駆動装置において、前記容積性負荷の一端に高レベルの第1の電圧を供給するための第1の信号ラインと、前記容積性負荷の前記一端に前記第1の電圧に対して低レベルの第2の電圧を供給するための第2の信号ラインと、前記容積性負荷の他端に高レベルの第3の電圧を供給するための第3の信号ラインと、前記容積性負荷の前記他端に前記第3の電圧に対して低レベルの第4の電圧を供給するための第4の信号ラインとを備え、前記第2の信号ラインを、前記第1および第2の電圧の間であって、両電圧の基準レベルとなる第5の電圧に設定し、

(50)

特許3201603

99

且つ、前記第1の信号ラインの電圧を前記高レベルの第1の電圧に設定して、前記第1の信号ラインを介して前記高レベルの第1の電圧あるいは前記第2の信号ラインを介して前記基準レベルとなる第5の電圧を前記容積性負荷の前記一端に対して供給するとともに、前記第3の信号ラインの電圧を、前記第3および第4の電圧の間であって、両電圧の基準レベルとなる第6の電圧に設定し、且つ、前記第4の信号ラインの電圧を前記低レベルの第4の電圧に設定して、前記第4の信号ラインを介して前記低レベルの第4の電圧あるいは前記第3の信号ラインを介して前記基準レベルとなる第6の電圧を前記容積性負荷の前記他端に対して供給する第1の状態と、前記第1の信号ラインの電圧を前記基準レベルとなる第5の電圧に設定し、且つ、前記第2の信号ラインの電圧を前記低レベルの第2の電圧に設定して、前記第2の信号ラインを介して前記低レベルの第2の電圧あるいは前記第1の信号ラインを介して前記基準レベルとなる第5の電圧を前記容積性負荷の前記一端に対して供給するとともに、前記第4の信号ラインの電圧を前記基準レベルとなる第6の電圧に設定し、且つ、前記第3の信号ラインの電圧を前記高レベルの第3の電圧に設定して、前記第3の信号ラインを介して前記高レベルの第3の電圧あるいは前記第4の信号ラインを介して前記基準レベルとなる第6の電圧を前記容積性負荷の前記他端に対して供給する第2の状態と、が交互に実施されるよう制御されることを特徴とする駆動装置。

【0525】(付記58)前記第1の信号ラインと第2の信号ラインとの間に、少なくとも2つのコンデンサをそなえ、相互間に個別の第1のスイッチ手段を介して直列に接続するとともに、前記第1のスイッチ手段の開放状態において前記各コンデンサを所定の電源ラインと基準ラインとの間に並列接続するための第2のスイッチ手段と、前記第1および第2の信号ラインを逐一に前記基準ラインに接続するための第3のスイッチ手段とを備え、前記各電源ラインから並列接続状態の前記各コンデンサに充電電圧を供給した後、前記各コンデンサを前記第1のスイッチ手段を介して直列状態に接続するとともに、当該直列状態のコンデンサの一端または他端を前記第3のスイッチ手段を介して逐一に前記基準ラインに接続した状態で、その対向する他端または一端から前記第1または第2の信号ラインを介して前記高レベルの第1の電圧または低レベルの第2の電圧を前記負荷の一端に交互に供給することを特徴とする付記1に記載の駆動装置。

【0526】(付記59)放電を実施するための少なくとも一対の電極を備えたプラズマディスプレイパネルを有するプラズマディスプレイ装置の駆動方法において、第1のレベルの電圧を前記一対の電極のうちの一方に供給するとともに、該第1のレベルの電圧を第1のコンデンサの一方の端子に供給して該第1のレベルの電圧を該

100

第1のコンデンサに充電する第1の工程と、該第1のコンデンサの他方の端子から該第1のレベルの電圧と反対の極性を有する第2のレベルの電圧を出力し、該第2のレベルの電圧を該一対の電極のうちの一方に供給する第2の工程と、第3のレベルの電圧を前記一対の電極のうちの他方に供給するとともに、該第3のレベルの電圧を第2のコンデンサの一方の端子に供給して該第3のレベルの電圧を該第2のコンデンサに充電する第3の工程と、該第2のコンデンサの他方の端子から該第3のレベルの電圧と反対の極性を有する第4のレベルの電圧を出力し、該第4のレベルの電圧を該一対の電極のうちの他方に供給する第4の工程とを含み、前記第1の工程および第4の工程を略同時に実施して、該第1のレベルの電圧と該第4のレベルの電圧との電位差にて得られる放電に必要な電圧を前記一対の電極間に印加し、次いで、前記第2の工程および第3の工程を略同時に実施して、該第2のレベルの電圧と該第3のレベルの電圧との電位差にて得られる放電に必要な電圧を前記一対の電極間に印加することを特徴とするプラズマディスプレイ装置の駆動方法。

【0527】(付記60)前記第1および第2の各工程において、前記第1または第2のレベルの電圧を前記一対の電極のうちの一方に供給した後に、基準電位である第5のレベルの電圧を該一対の電極のうちの一方に供給し、前記第3および第4の各工程において、前記第3または第4のレベルの電圧を前記一対の電極のうちの他方に供給した後に、基準電位である第6のレベルの電圧を該一対の電極のうちの他方に供給することを特徴とする付記59に記載のプラズマディスプレイ装置の駆動方法。

【0528】(付記61)表示手段となる容積性負荷の一端に高レベルの第1の電圧を供給するための第1の信号ラインと、前記容積性負荷の前記一端に前記第1の電圧に対して低レベルの第2の電圧を供給するための第2の信号ラインと、前記容積性負荷の他端に高レベルの第3の電圧を供給するための第3の信号ラインと、前記容積性負荷の前記他端に前記第3の電圧に対して低レベルの第4の電圧を供給するための第4の信号ラインとを備え、前記容積性負荷に対して所定電圧を印加するマトリクス型平面表示装置の駆動方法において、前記第1の信号ラインの電圧を前記高レベルの第1の電圧とし、前記第2の信号ラインの電圧を前記第1および第2の電圧の間であって、両電圧の基準レベルとなる第5の電圧とした状態で前記第1の信号ラインから与えられる前記高レベルの第1の電圧あるいは前記第2の信号ラインから与えられる前記基準レベルとなる第5の電圧を前記容積性負荷の一端に対して供給するとともに、前記第4の信号ラインの電圧を前記低レベルの第4の電圧とし、前記第3の信号ラインの電圧を前記第3および第4の電圧の間

50 であって、両電圧の基準レベルとなる第6の電圧とした

(51)

特許3201603

101

状態で前記第4の信号ラインから与えられる前記低レベルの第4の電圧あるいは前記第3の信号ラインから与えられる前記基準レベルとなる第6の電圧を前記容置性負荷の他端に対して供給する第1の印加工程と、前記第2の信号ラインの電圧を前記低レベルの第2の電圧とし、前記第1の信号ラインの電圧を前記基準レベルとなる第5の電圧とした状態で前記第2の信号ラインから与えられる前記低レベルの第2の電圧あるいは前記第1の信号ラインから与えられる前記基準レベルとなる第5の電圧を前記容置性負荷の前記一端に対して供給するとともに、前記第3の信号ラインの電圧を前記高レベルの第3の電圧とし、前記第4の信号ラインの電圧を前記基準レベルとなる第6の電圧とした状態で前記第3の信号ラインから与えられる前記高レベルの第3の電圧あるいは前記第4の信号ラインから与えられる前記基準レベルとなる第6の電圧を前記容置性負荷の前記他端に対して供給する第2の印加工程と、を交互に実施するようにしたことを特徴とする駆動方法。

【0529】(付記62)前記高レベルの第1の電圧を供給するための電源に接続される一次側コイルと、両端にコンデンサが接続された二次側コイルとを備えたトランジスト、前記基準レベルとなる第5の電圧を供給する基準ラインと前記二次側コイルの一方の端子との間に接続された第1のスイッチと、前記基準レベルとなる第5の電圧を供給する基準ラインと前記二次側コイルの他方の端子との間に接続された第2のスイッチと、前記コンデンサの両端に接続された前記第1、第2の信号ラインの間に直列に接続された第3、第4のスイッチとを備え、前記第3、第4のスイッチの中間から前記容置性負荷の一端を接続したことを特徴とする付記1に記載の駆動装置。

【0530】(付記63)前記コンデンサの両端に接続された前記第3、第4の信号ラインの間に直列に接続された第9、第10のスイッチを備え、前記スキャンドライバ回路を、前記第9、第10のスイッチを介して前記第3、第4の信号ラインの間に接続したことを特徴とする付記40に記載の駆動装置。

【0531】(付記64)交流駆動型プラズマディスプレイベイパネルの放電セルを構成する一対の電極にそれぞれ接続され、基準レベルの電圧から正および負方向に交互に極性反転するパルス電圧波形を互いに逆位相の関係で発生し、前記放電セルに両パルス電圧波形の差電圧として所定の維持パルス電圧を供給するようにした一対の駆動装置を含むプラズマディスプレイベイパネルの駆動回路において、前記それぞれの駆動装置は、接地電位を基準として前記所定の維持パルス電圧の略1/2の電圧を出力する單一の電源と、該電源から供給される電圧にてその一端から充電されるコンデンサと、該コンデンサの他端および一端を交互に接地電位に接続するとともに、その一端および他端を交互に前記各電極に接続するスイッ

102

チ手段とを含んでなることを特徴とするプラズマディスプレイベイパネルの駆動回路。

【0532】

【発明の効果】以上詳しく述べたように、本発明によれば、駆動装置内の各素子にかかる最大の電圧を、容置性負荷に印加すべき電圧よりも低い電圧とすることができ、各素子の耐圧を従来に比べて低く抑えることができる。これにより、構成が小さく安価な素子を用いることができ、回路構成の簡素化と製造コストの低減を実現することができる。また、本発明によれば、容置性負荷に印加すべき電圧は、容置性負荷の両端から選択的に印加される電圧により形成される差電圧にて供給されるため、容置性負荷に電圧を供給する周期が従来の2倍になることによる消費電力の増加分を考慮しても、容置性負荷の一端のみから大電圧を供給していた従来に比べて全体としての電力のロスを小さくすることができる。

【図面の簡単な説明】

【図1】本実施形態による駆動装置の要約的特徴を示す構成図である。

20 【図2】第1の実施形態による駆動装置の構成例を示す図である。

【図3】図2に示した駆動装置による維持放電期間における駆動波形の例を示すタイムチャートである。

【図4】図2に示した駆動装置による維持放電期間における駆動波形の他の例を示すタイムチャートである。

【図5】第1の実施形態による駆動装置の具体的構成例を示す図である。

【図6】スイッチの構成例を示す図であり、(a)はスイッチSW3の構成例を示し、(b)はスイッチSW

30 1、SW2の構成例を示し、(c)はスイッチSW3の構成例を示す図である。

【図7】維持放電期間において電極X、Yに印加するパルス電圧の駆動波形の例を示す図である。

【図8】維持放電期間において電極X、Yに印加するパルス電圧の駆動波形の例を示す図である。

【図9】維持放電期間において電極X、Yに印加するパルス電圧の駆動波形の例を示す図である。

【図10】維持放電期間において電極X、Yに印加するパルス電圧の駆動波形の例を示す図である。

40 【図11】維持放電期間において電極X、Yに印加するパルス電圧の駆動波形の例を示す図である。

【図12】維持放電期間において電極X、Yに印加するパルス電圧の駆動波形の例を示す図である。

【図13】維持放電期間において電極X、Yに印加するパルス電圧の駆動波形の例を示す図である。

【図14】図7に示した駆動波形を生成するためのスイッチング制御の例を示すタイムチャートである。

【図15】図8に示した駆動波形を生成するためのスイッチング制御の例を示すタイムチャートである。

50 【図16】図9に示した駆動波形を生成するためのスイ

(52)

特許3201603

103

ッキング制御の例を示すタイムチャートである。

【図17】図10に示した駆動波形を生成するためのスイッキング制御の例を示すタイムチャートである。

【図18】図11に示した駆動波形を生成するためのスイッキング制御の例を示すタイムチャートである。

【図19】図11に示した駆動波形を生成するためのスイッキング制御の他の例を示すタイムチャートである。

【図20】図12に示した駆動波形を生成するためのスイッキング制御の例を示すタイムチャートである。

【図21】図13に示した駆動波形を生成するためのスイッキング制御の例を示すタイムチャートである。

【図22】図13に示した駆動波形を生成するためのスイッキング制御の他の例を示すタイムチャートである。

【図23】第1の実施形態による駆動装置の他の構成例を示す図である。

【図24】図23のように構成した駆動装置による維持放電期間における駆動波形の例を示すタイムチャートである。

【図25】図23のように構成した駆動装置による維持放電期間における駆動波形の他の例を示すタイムチャートである。

【図26】第2の実施形態による駆動装置の構成例を示す図である。

【図27】第2の実施形態による駆動装置の他の構成例を示す図である。

【図28】図27のように構成した駆動装置による維持放電期間における駆動波形の例を示すタイムチャートである。

【図29】第3の実施形態による駆動装置の構成例を示す図である。

【図30】第3の実施形態による駆動装置の他の構成例を示す図である。

【図31】図30のように構成した駆動装置による維持放電期間における駆動波形の例を示すタイムチャートである。

【図32】第4の実施形態による駆動装置の構成例を示す図である。

【図33】第4の実施形態による駆動装置の他の構成例を示す図である。

【図34】図33のように構成した駆動装置による維持放電期間における駆動波形の例を示すタイムチャートである。

【図35】第5の実施形態による駆動装置の構成例を示す図である。

【図36】図35のように構成した駆動装置によるリセット期間および維持放電期間における駆動波形の例を示すタイムチャートである。

【図37】第5の実施形態による駆動装置の他の構成例を示す図である。

【図38】図37のように構成した駆動装置による駆動

104

波形の例を示すタイムチャートである。

【図39】第5の実施形態による駆動装置の他の構成例を示す図である。

【図40】図39のように構成した駆動装置によるリセット期間および維持放電期間における駆動波形の例を示すタイムチャートである。

【図41】第6の実施形態による駆動装置の構成例を示す図である。

【図42】図41のように構成した駆動装置による駆動波形の例を示すタイムチャートである。

【図43】図41に示した電力回収回路における電力回収の様子を示すタイミングチャートである。

【図44】第6の実施形態による駆動装置の他の構成例を示す図である。

【図45】図44に示した電力回収回路における電力回収の様子を示すタイミングチャートである。

【図46】第6の実施形態による駆動装置の他の構成例を示す図である。

【図47】第6の実施形態による駆動装置の他の構成例を示す図である。

【図48】第6の実施形態による駆動装置の他の構成例を示す図である。

【図49】第6の実施形態による駆動装置の他の構成例を示す図である。

【図50】第6の実施形態による駆動装置の他の構成例を示す図である。

【図51】第6の実施形態による駆動装置の他の構成例を示す図である。

【図52】図51のように構成した駆動装置による維持放電期間における駆動波形の例を示すタイムチャートである。

【図53】第6の実施形態による駆動装置の他の構成例を示す図である。

【図54】図51のように構成した駆動装置による維持放電期間における駆動波形の例を示すタイムチャートである。

【図55】第6の実施形態による駆動装置の他の構成例を示す図である。

【図56】第7の実施形態による駆動装置の構成例を示す図である。

【図57】図56のように構成した駆動装置による駆動波形の例を示すタイムチャートである。

【図58】第7の実施形態による駆動装置の他の構成例を示す図である。

【図59】図58のように構成した駆動装置による駆動波形の例を示すタイムチャートである。

【図60】第8の実施形態による駆動装置の構成例を示す図である。

【図61】第8の実施形態による駆動装置の他の構成例を示す図である。

(53)

105

【図62】図61のように構成した駆動装置による駆動波形の例を示すタイムチャートである。

【図63】第9の実施形態による駆動装置の構成例を示す図である。

【図64】第9の実施形態による駆動装置の他の構成例を示す図である。

【図65】図64のように構成した駆動装置による駆動波形の例を示すタイムチャートである。

【図66】第10の実施形態による駆動装置の構成例を示す図である。

【図67】図66のように構成した駆動装置による駆動波形の例を示すタイムチャートである。

【図68】第10の実施形態による駆動装置の他の構成例を示す図である。

【図69】第11の実施形態による駆動装置の構成例を示す図である。

【図70】図69のように構成した駆動装置による維持放電期間における駆動波形の例を示すタイムチャートである。

【図71】第11の実施形態による駆動装置の他の構成例を示す図である。

【図72】図71のように構成した駆動装置による駆動波形の例を示すタイムチャートである。

【図73】第11の実施形態による駆動装置の他の構成例を示す図である。

【図74】図73のように構成した駆動装置による駆動波形の例を示すタイムチャートである。

【図75】第11の実施形態による駆動装置の他の構成例を示す図である。

【図76】図75のように構成した駆動装置による駆動波形の例を示すタイムチャートである。

【図77】第11の実施形態による駆動装置の他の構成例を示す図である。

【図78】図77のように構成した駆動装置による駆動波形の例を示すタイムチャートである。

【図79】第11の実施形態による駆動装置の他の構成例を示す図である。

【図80】第12の実施形態による駆動装置の構成例を示す図である。

【図81】図80のように構成した駆動装置による維持放電期間における駆動波形の例を示すタイムチャートである。

【図82】第12の実施形態による駆動装置の他の構成例を示す図である。

【図83】第13の実施形態による駆動装置の構成例を示す図である。

【図84】図83のように構成した駆動装置による維持放電期間における駆動波形の例を示すタイムチャートである。

【図85】第13の実施形態による駆動装置の他の構成

特許3201603

105

例を示す図である。

【図86】図85のように構成した駆動装置による維持放電期間における駆動波形の例を示すタイムチャートである。

【図87】第13の実施形態による駆動装置の他の構成例を示す図である。

【図88】図87のように構成した駆動装置による維持放電期間における駆動波形の例を示すタイムチャートである。

10 【図89】第13の実施形態による駆動装置の他の構成例を示す図である。

【図90】図89のように構成した駆動装置による維持放電期間における駆動波形の例を示すタイムチャートである。

【図91】第13の実施形態による駆動装置の他の構成例を示す図である。

【図92】図91のように構成した駆動装置による維持放電期間における駆動波形の例を示すタイムチャートである。

20 【図93】第14の実施形態によるPDPの概略構成を示す図である。

【図94】第14の実施形態によるプラズマディスプレイ装置の概略構成例を示す図である。

【図95】第14の実施形態による駆動装置の構成例を示す図である。

【図96】第15の実施形態による駆動装置の構成例を示す図である。

【図97】図96のように構成した駆動装置による維持放電期間における駆動波形の例を示すタイムチャートである。

30 【図98】その他の実施形態の構成例を示す図である。

【図99】交流駆動型プラズマディスプレイ装置の全体構成を示す図である。

【図100】1画素である第1行第j列のセルCijの断面構成を示す図である。

【図101】従来の交流駆動型PDPの駆動方法の例を示す波形図である。

【図102】従来の駆動装置の構成例を示す図である。

【図103】従来の駆動装置の他の構成例を示す図である。

40 【図104】図103の駆動装置に必要な高電圧電源の構成を示す図である。

【図105】図103のように構成した駆動装置によるアドレス期間および維持放電期間における駆動波形の例を示すタイムチャートである。

【符号の説明】

- 1 交流駆動型PDP
- 2 X側回路
- 3 Y側回路
- 50 20 負荷

(54)

特許3201603

107

22. 33 電力回収回路

31. スキャンドライバ

41 AC電源

42 A/D変換器

43 電源回路

44 ドライバ回路

SW1～SW5 スイッチ

OUTA 第1の信号ライン

OUTB 第2の信号ライン

C1, C4 コンデンサ

【要約】

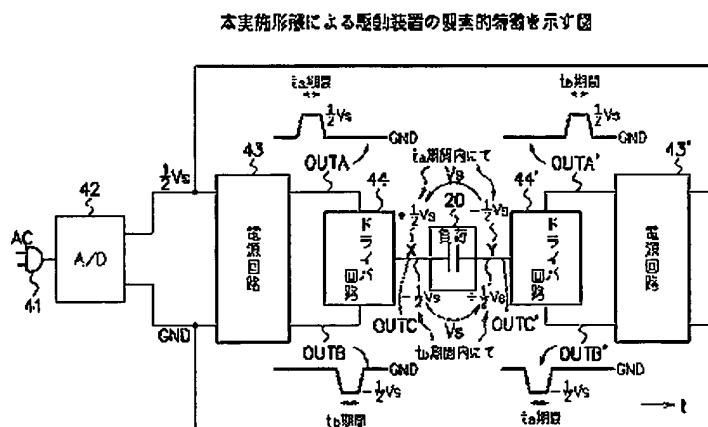
【課題】 駆動装置が備える各素子の耐圧を低くして、回路構成の簡素化および製造コストの低減化を実現できるようにする。

108

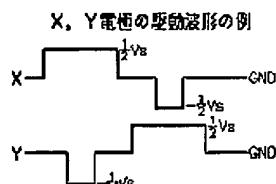
* 【解決手段】 スイッチSW1～SW3と、それらのON/OFFによって、負荷20に印加すべき電圧Vより小さい正の電圧(+1/2V)レベルとグランドレベルとの間で電圧が変動する第1の信号ラインOUTAと、グランドレベルと負の電圧(-1/2V)レベルとの間で電圧が変動する第2の信号ラインOUTBとを備え、スイッチSW4, SW5のON/OFFによって、第1, 第2の信号ラインから与えられる正負の電圧を選択的に負荷20に印加することにより、駆動装置内の各素子にかかる最大の電圧を、負荷20に印加すべき電圧Vよりも小さい電圧(1/2V)とすることができるようにして、各素子の耐圧を従来に比べて半分に抑えることができるようとする。

*

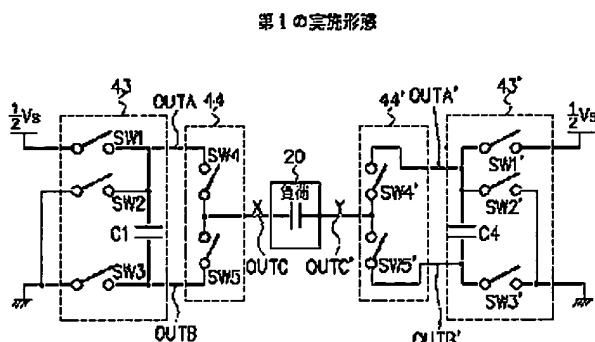
【図1】



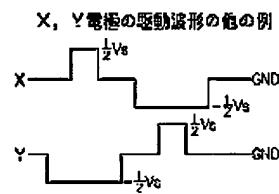
【図7】



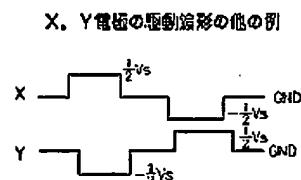
【図2】



【図8】



【図12】

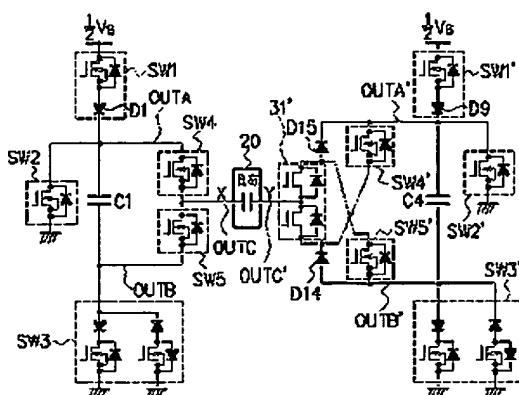


(55)

特許3201603

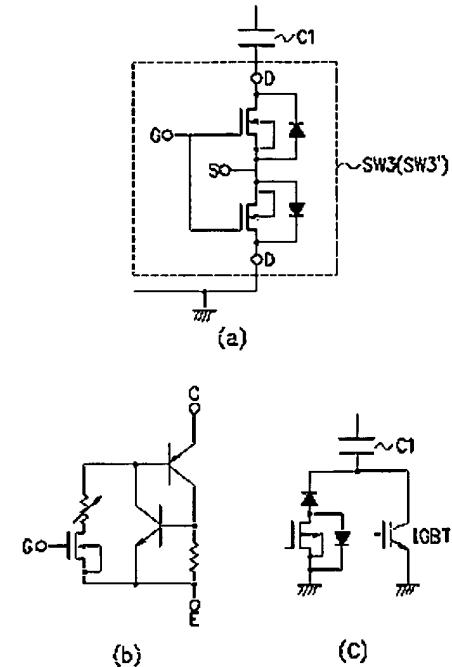
【図5】

第1の実施形態による駆動装置の具体例



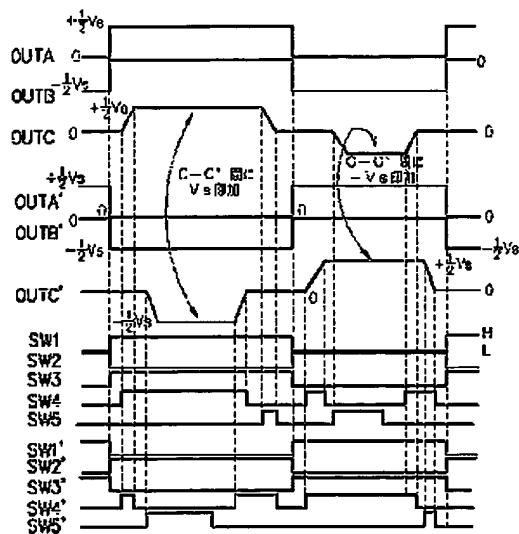
【図6】

スイッチの構成例



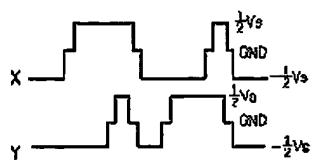
【図3】

駆動波形のタイムチャート



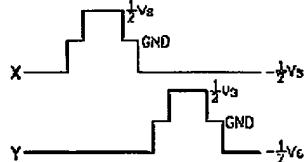
【図11】

X, Y電極の駆動波形の他の例



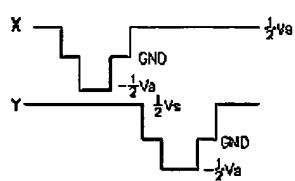
【図9】

X, Y電極の駆動波形の他の例



【図10】

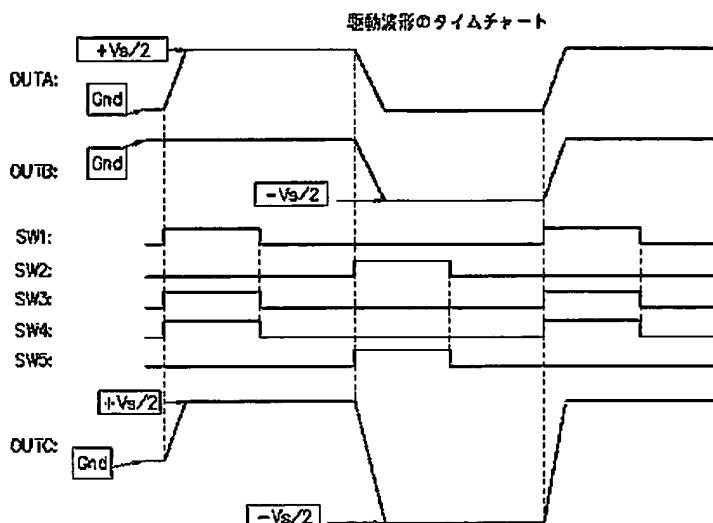
X, Y電極の駆動波形の他の例



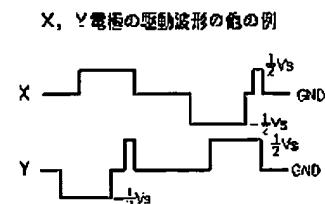
(56)

特許3201603

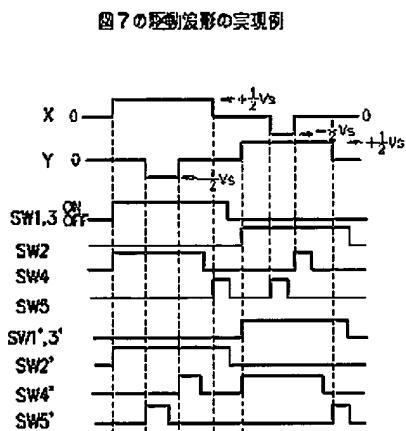
【図4】



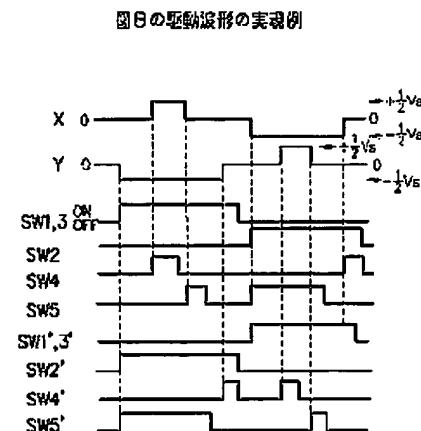
【図13】



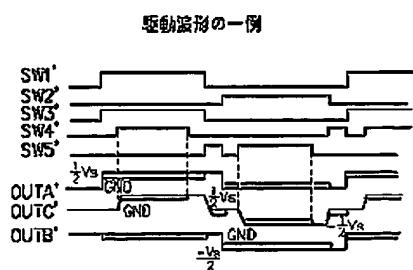
【図14】



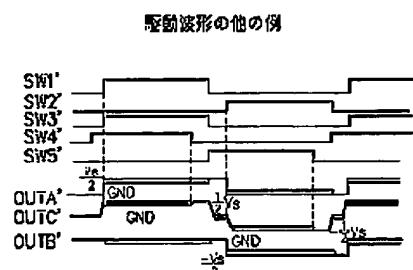
【図15】



【図24】



【図25】

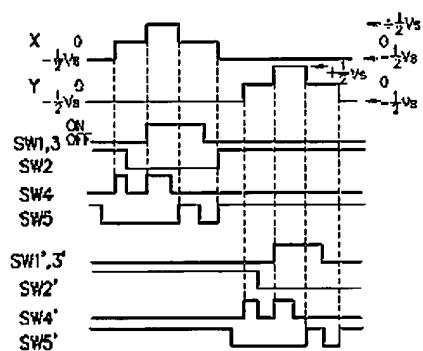


(57)

特許3201603

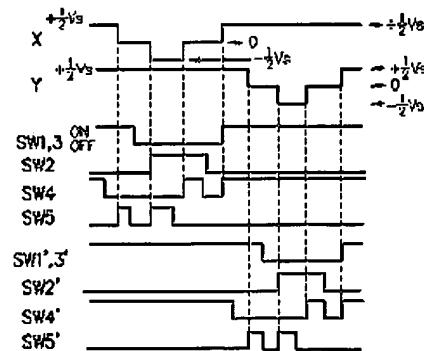
【図16】

図9の駆動波形の実現例



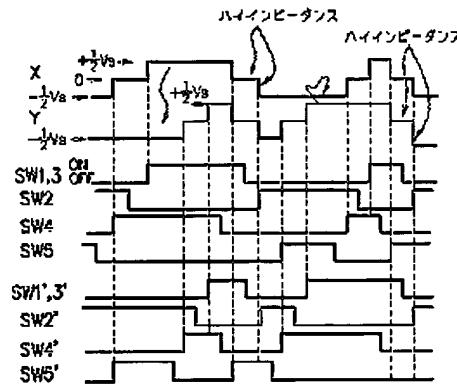
【図17】

図10の駆動波形の実現例



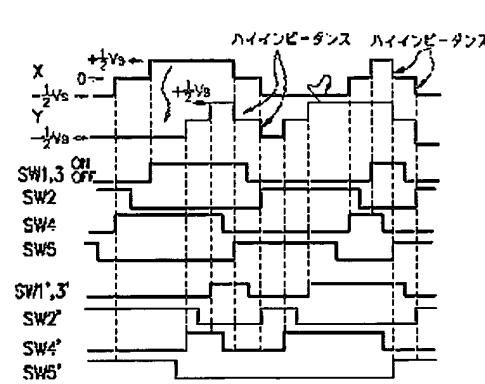
【図18】

図11の駆動波形の実現例



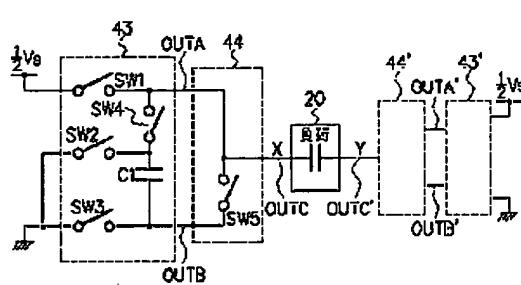
【図19】

図11の駆動波形の他の実現例



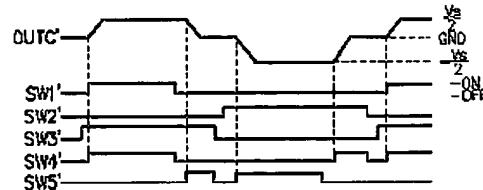
【図26】

第2の実施形態



【図28】

駆動波形の一例

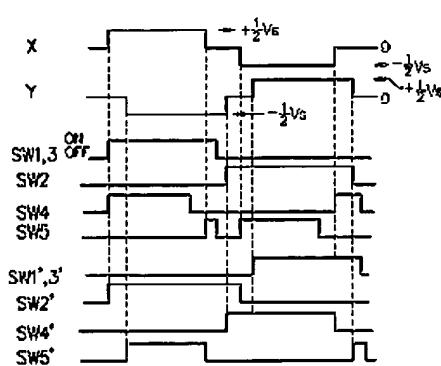


(58)

特許3201603

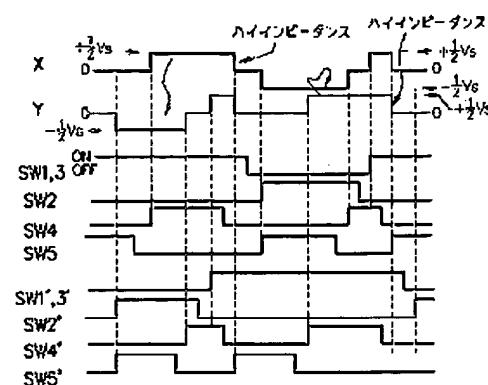
【図20】

図12の駆動波形の実現例



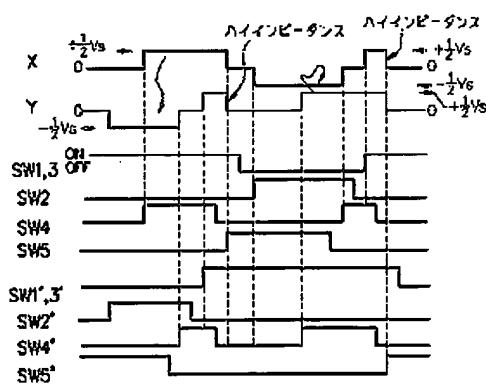
【図21】

図13の駆動波形の実現例



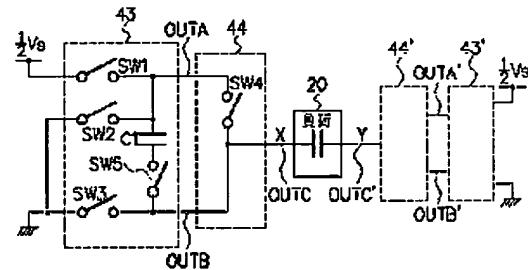
【図22】

図13の駆動波形の他の実現例



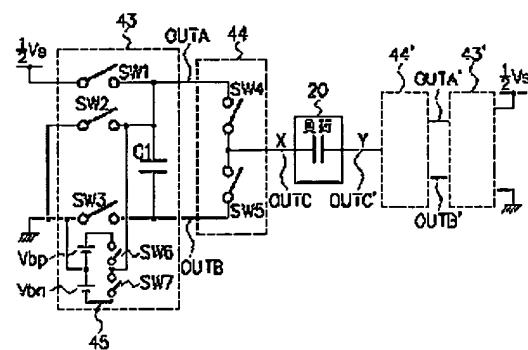
【図23】

第3の実施形態



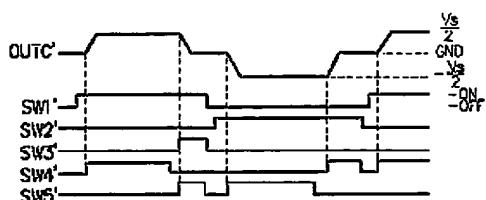
【図32】

第4の実施形態



【図31】

駆動波形の一例

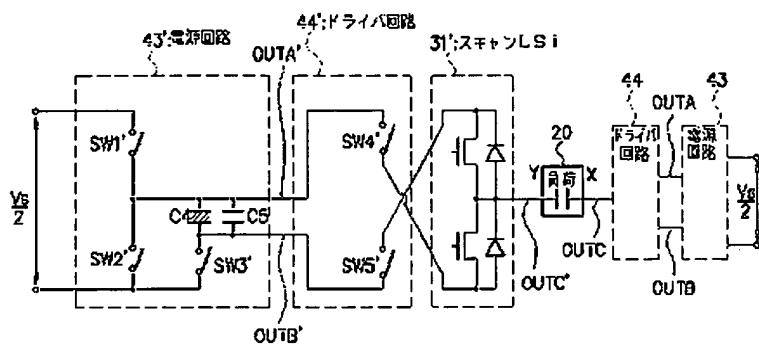


(59)

特許3201603

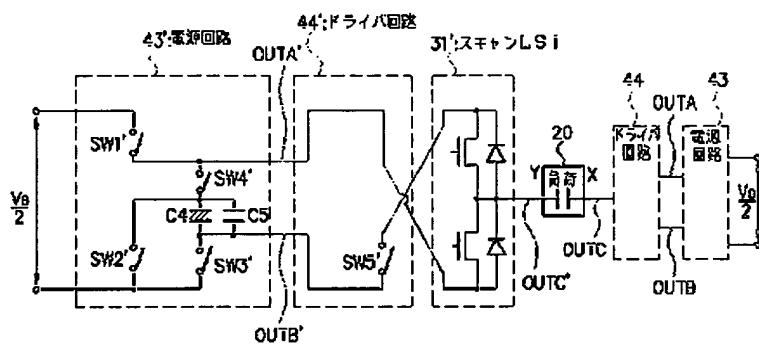
【図23】

第1の実施形態の他の構成例



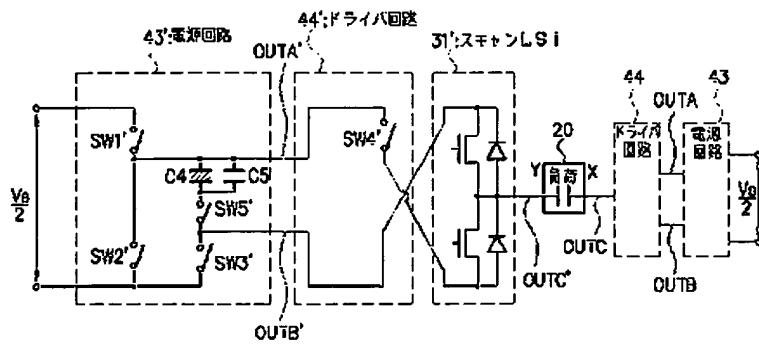
【図27】

第2の実施形態の他の構成例



【図30】

第3の実施形態の他の構成例

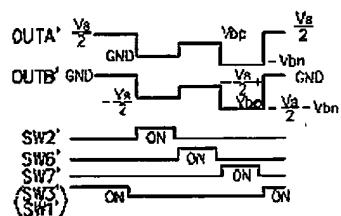


(60)

特許3201603

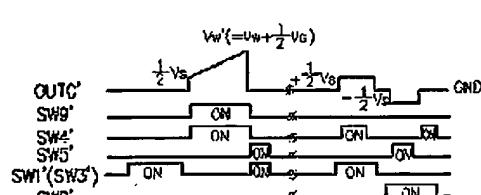
【図34】

駆動波形の一例



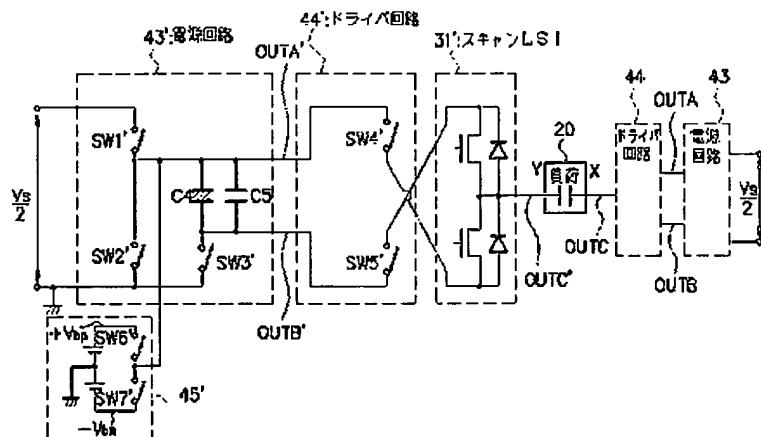
【図36】

駆動波形の一例



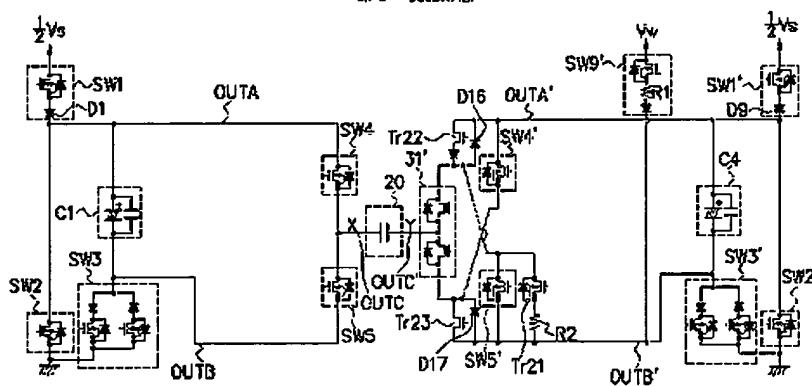
【図33】

第4の実施形態の他の構成例



【図35】

第5の実施形態

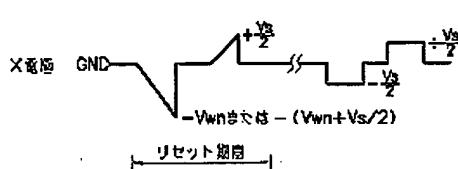


(61)

特許3201603

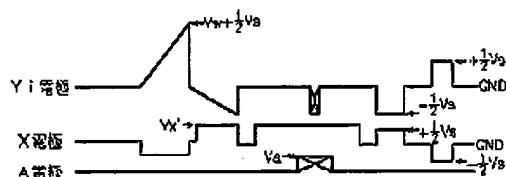
【図40】

駆動波形の一例



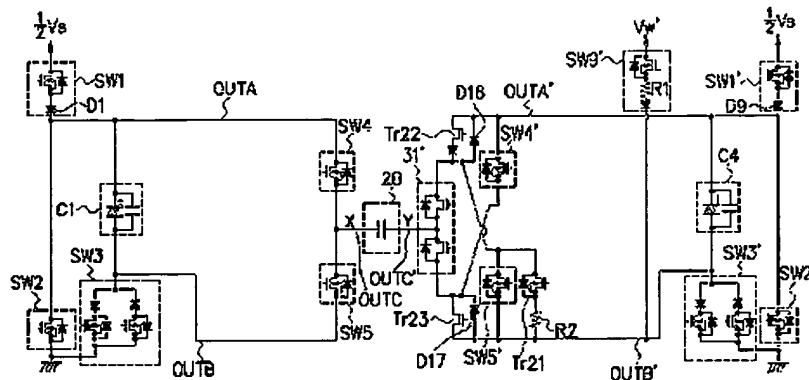
【図62】

駆動波形の一例



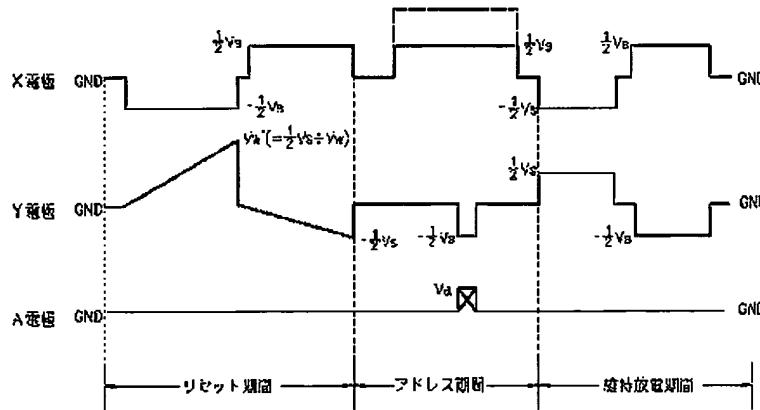
【図37】

第5の実施形態の他の精減例



【図38】

駆動波形の一例

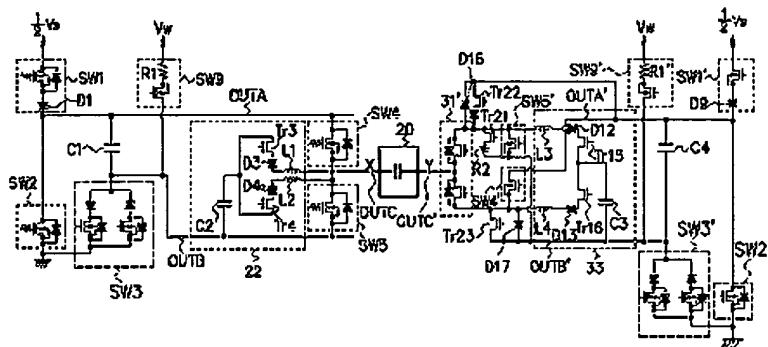


(62)

特許3201603

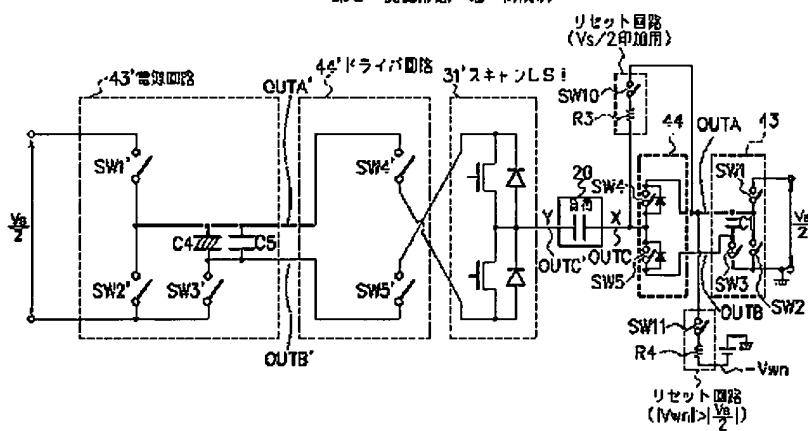
【図41】

第6の実施形態



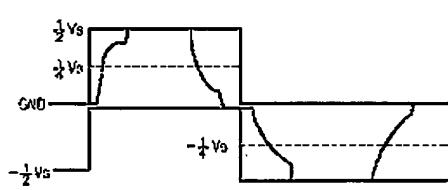
【図39】

第5の実施形態の他の構成例



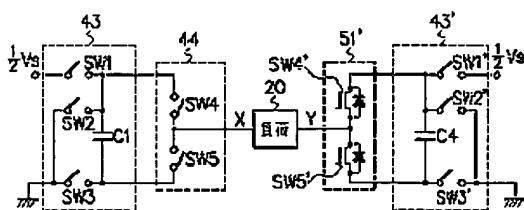
【図45】

電力回収のタイムチャート



【図60】

第8の実施形態

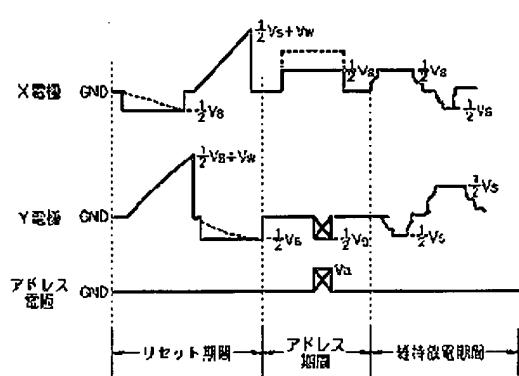


(63)

特許3201603

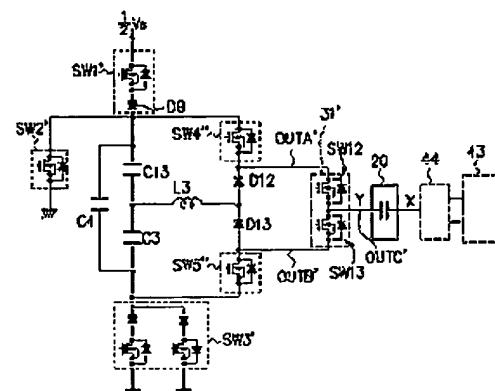
【図42】

駆動波形のタイムチャート

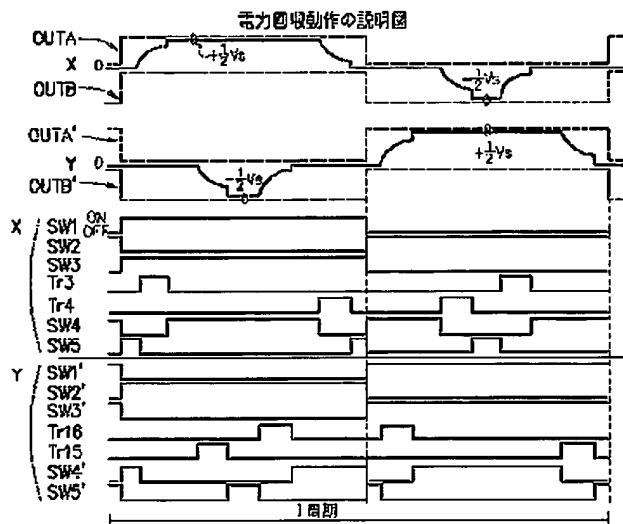


【図51】

第6の実施形態の他の構成例

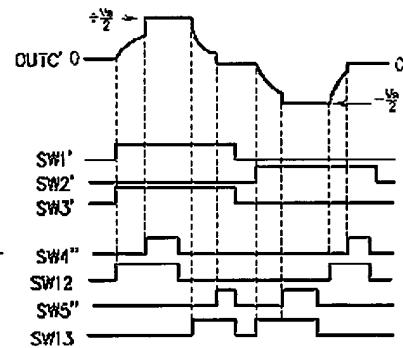


【図43】



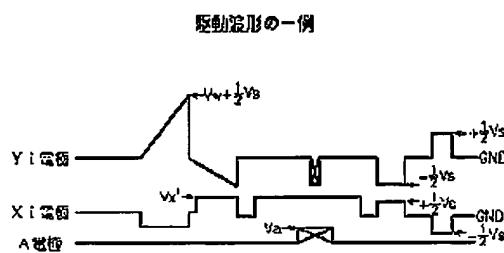
【図52】

駆動波形の一例

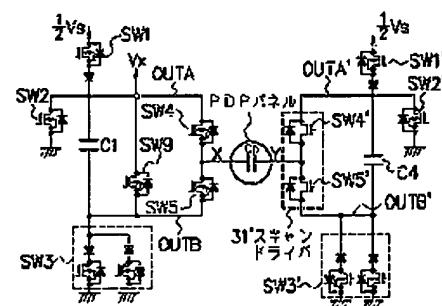


【図55】

【図65】



第6の実施形態の他の構成

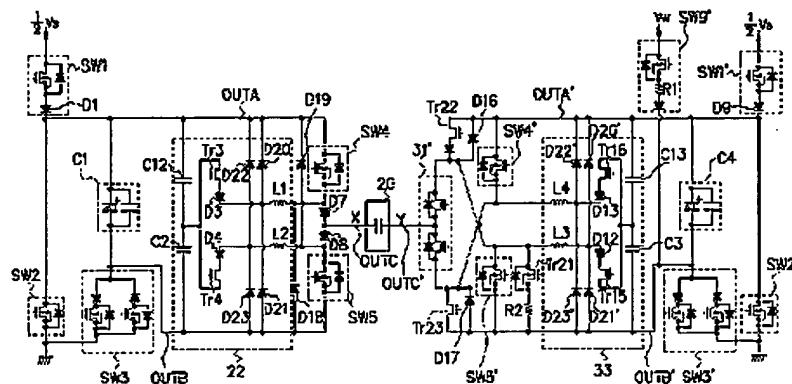


(64)

特許3201603

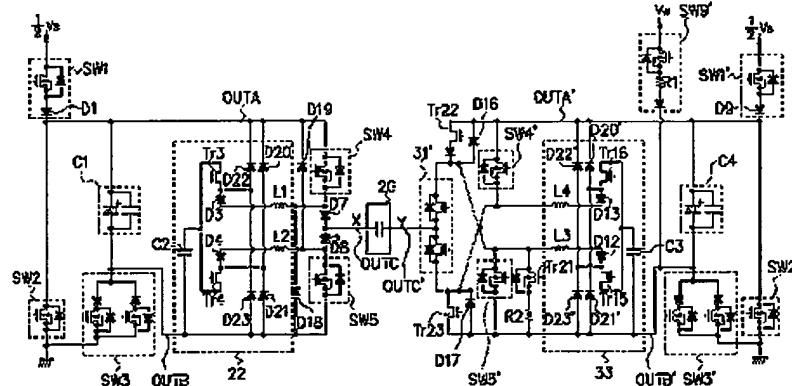
[図4.4]

第6の実施形態の他の構成例



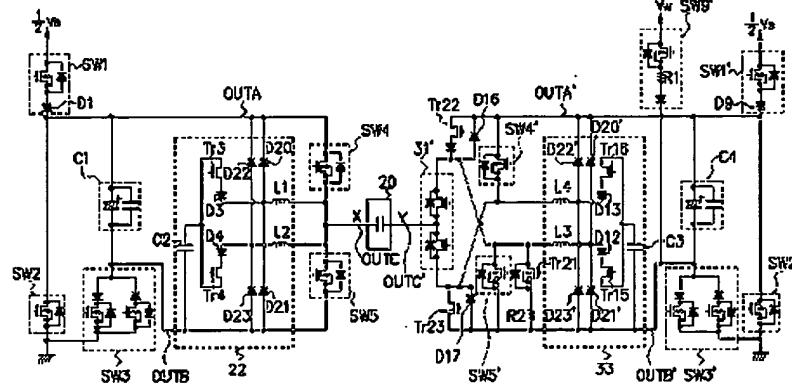
【図46】

第6の実証形態の他の構成例



[図47]

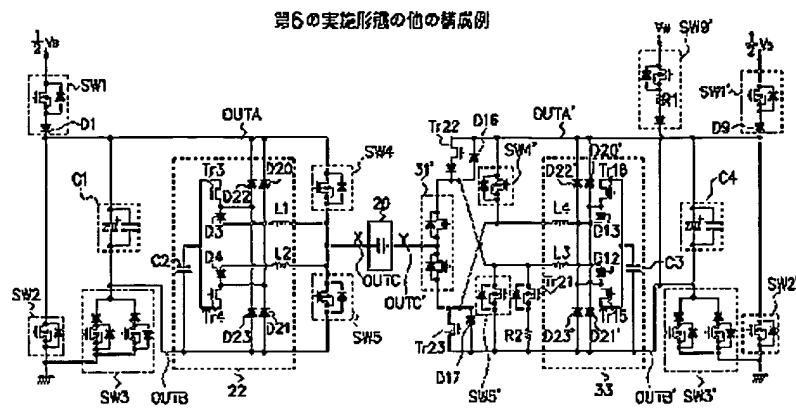
第6の実施形態の他の構成例



(65)

特許3201603

【図48】

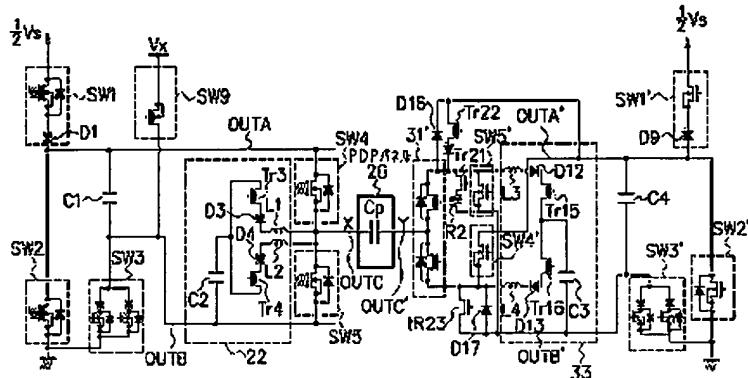


(66)

特許3201603

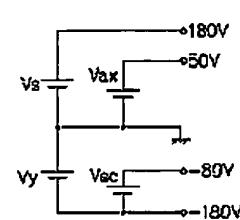
【図53】

第6の実施形態の他の構成例



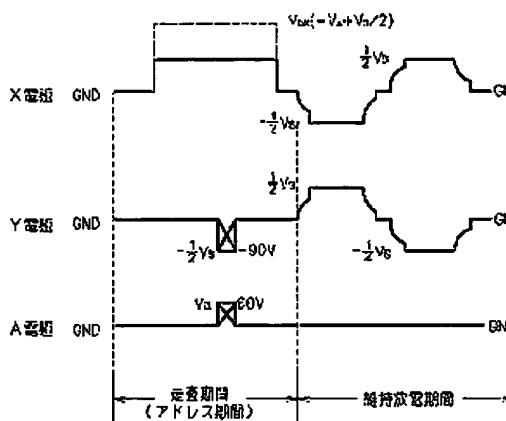
【図104】

図103に必要な高電圧の電源の構成



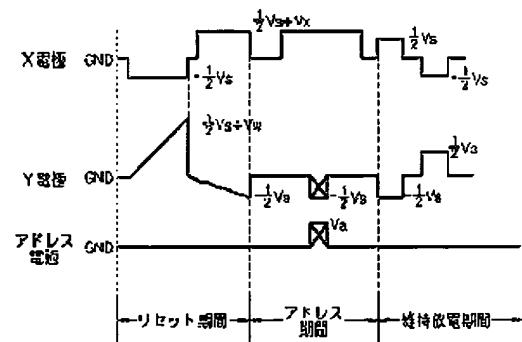
【図54】

駆動波形の一例



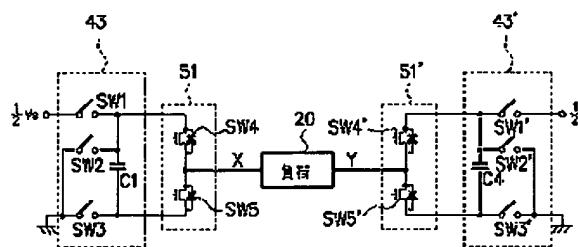
【図57】

駆動波形のタイムチャート



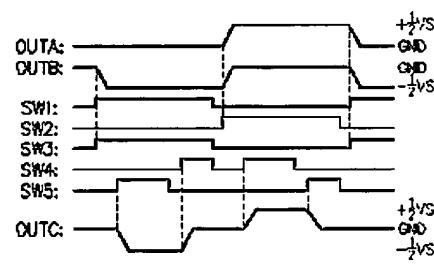
【図63】

第9の実施形態



【図81】

駆動波形の一例

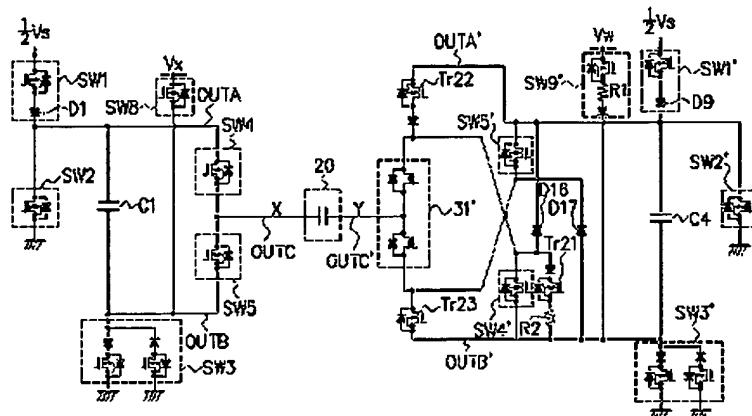


(67)

特許3201603

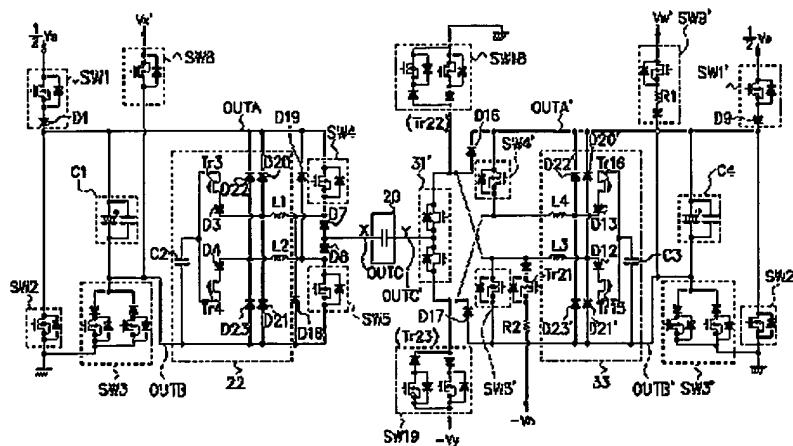
[图56]

第7の実施形態



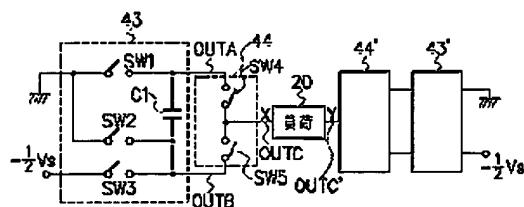
[图58]

第7の実施形態の他の構成例



〔四八〇〕

第12の実施形態

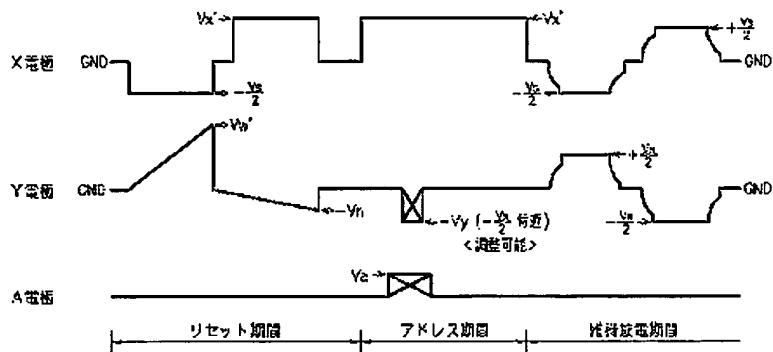


(68)

特許3201603

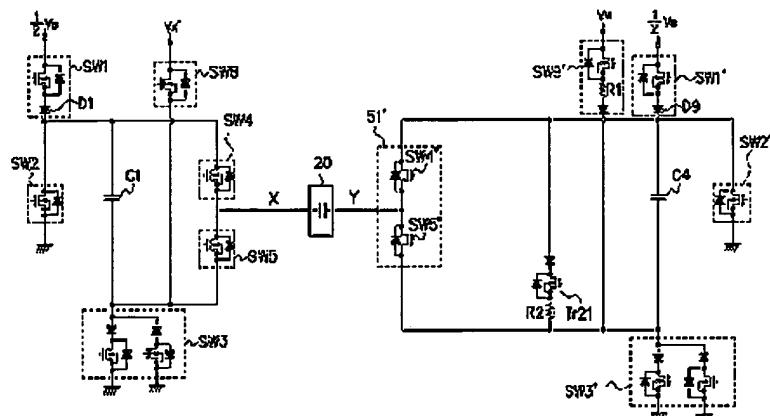
【図59】

電動波形の一例



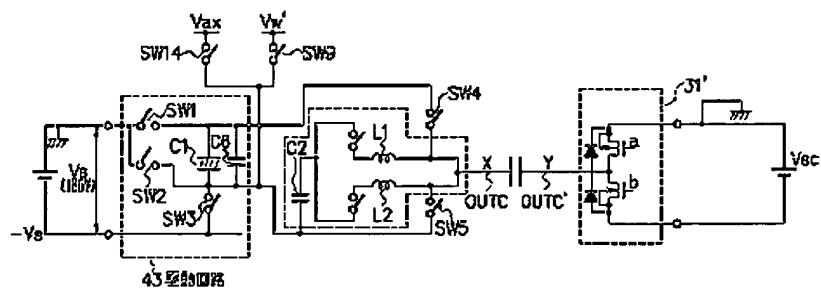
【図61】

第6の実施形態の他の構成例



【図82】

第12の実施形態による他の構成

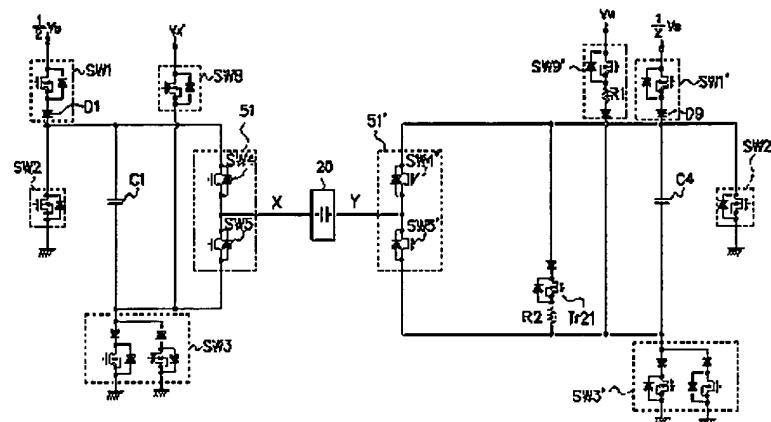


(69)

特許3201603

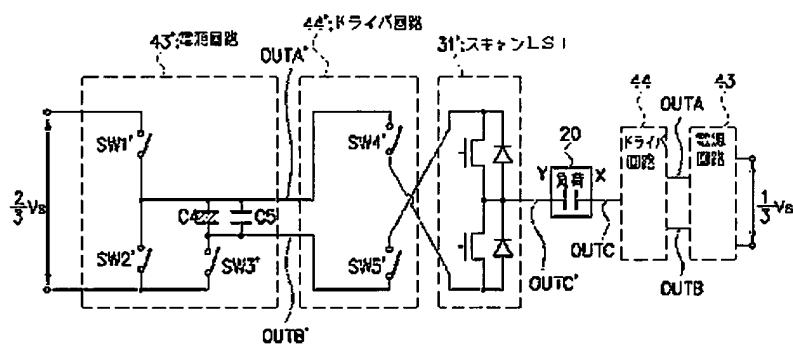
[图 64]

第9の実形例の他の構成例



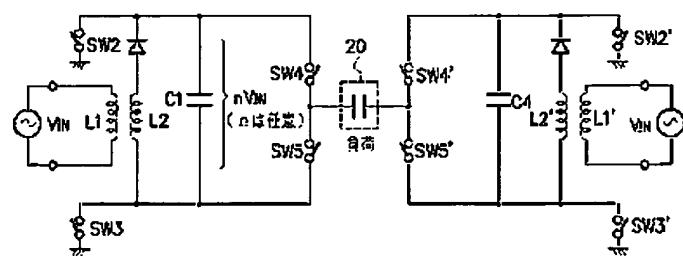
[図66]

第1回の実施形態



[図98]

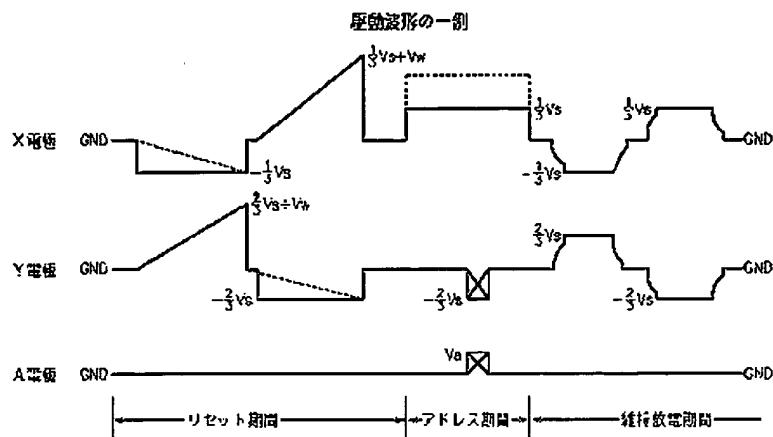
その他の実験形態



(70)

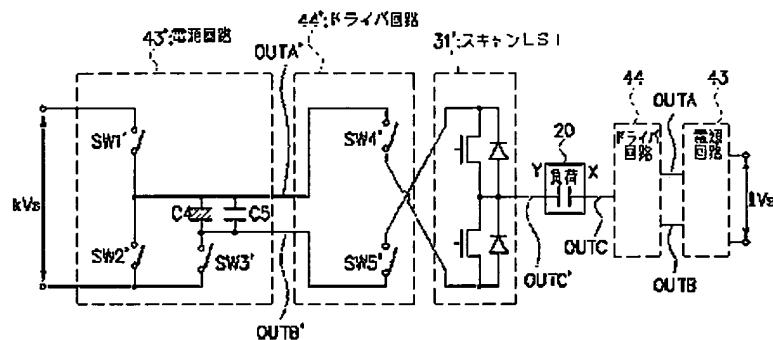
特許3201603

[图67]



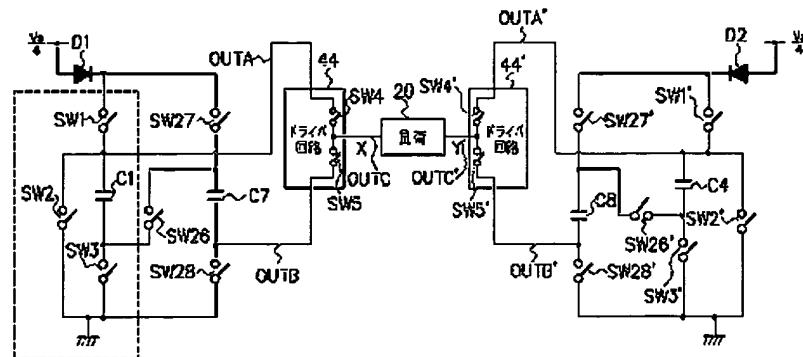
〔四六八〕

第10の実施形態の他の構成例



[图83]

第13の実施形態

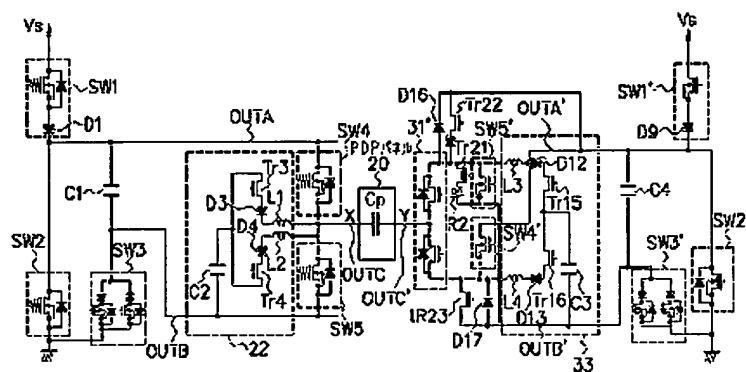


(71)

特許3201603

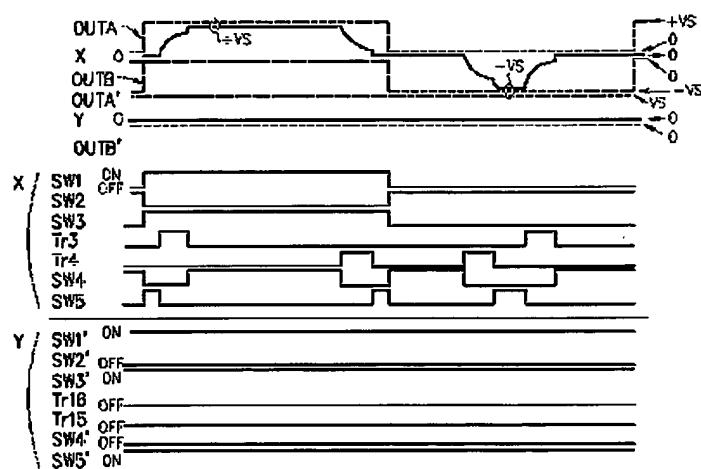
【図69】

図1の実施形態



【図70】

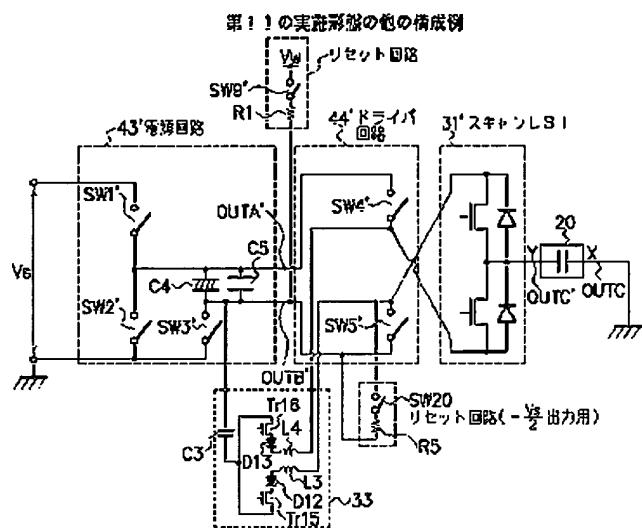
駆動波形の一例



(72)

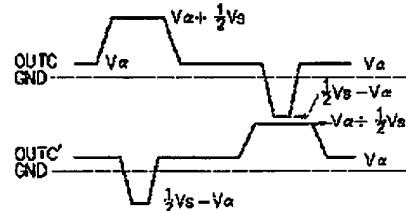
特許3201603

【図71】



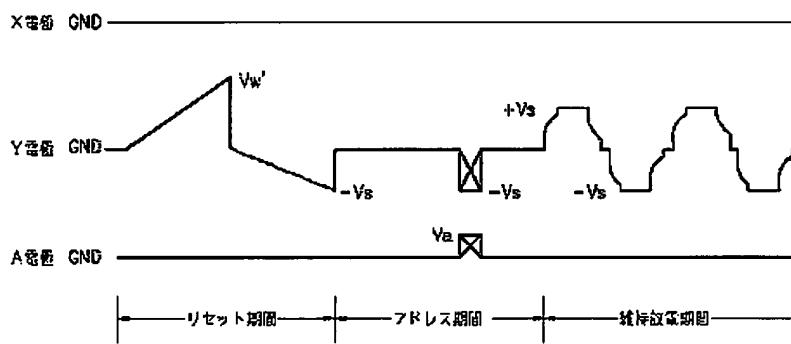
【図97】

駆動波形のタイムチャート



【図72】

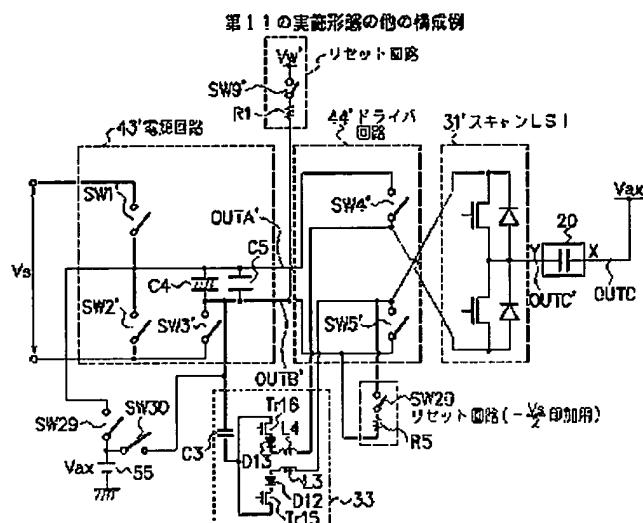
駆動波形の一例



(73)

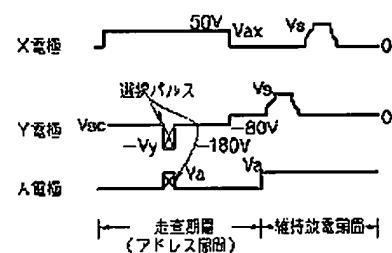
特許3201603

【図73】



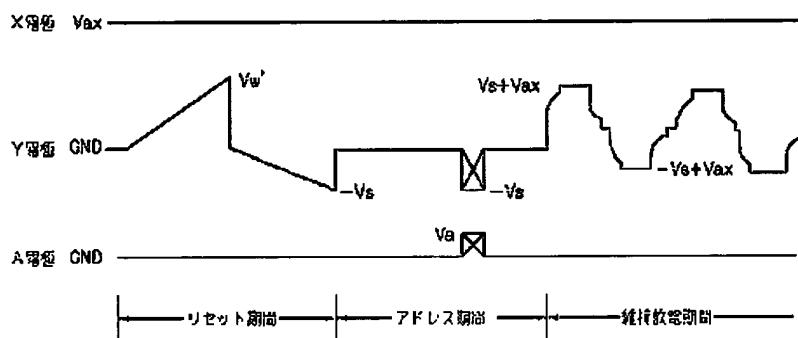
【図105】

図103で示す回路のタイミングチャート



【図74】

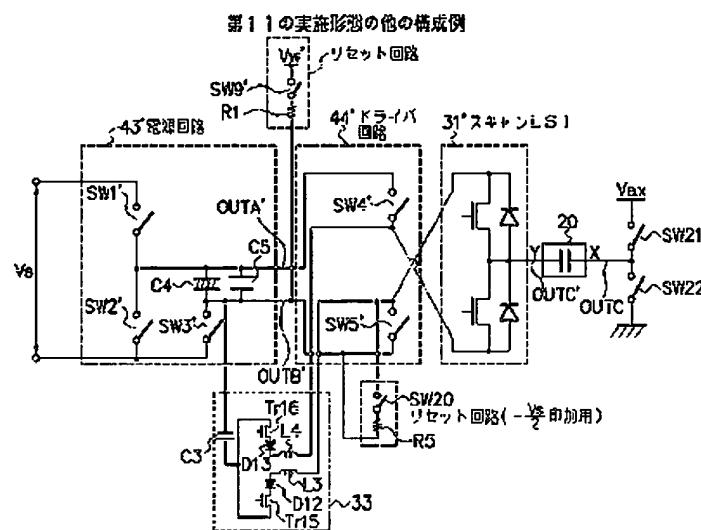
駆動波形の一例



(74)

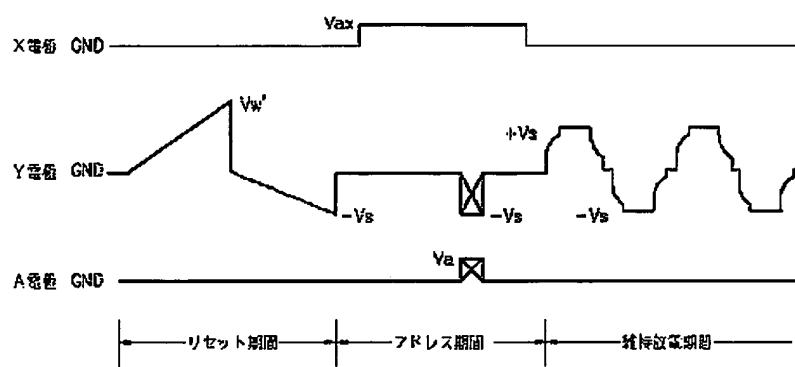
特許3201603

【図75】



【図76】

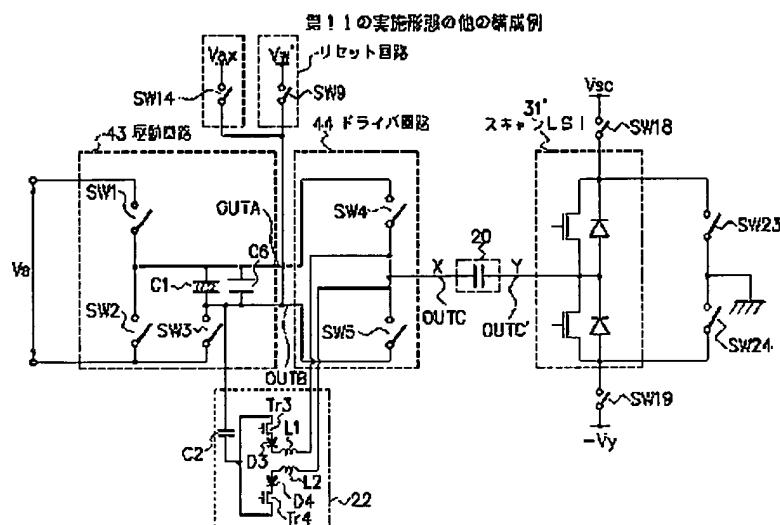
駆動波形の一例



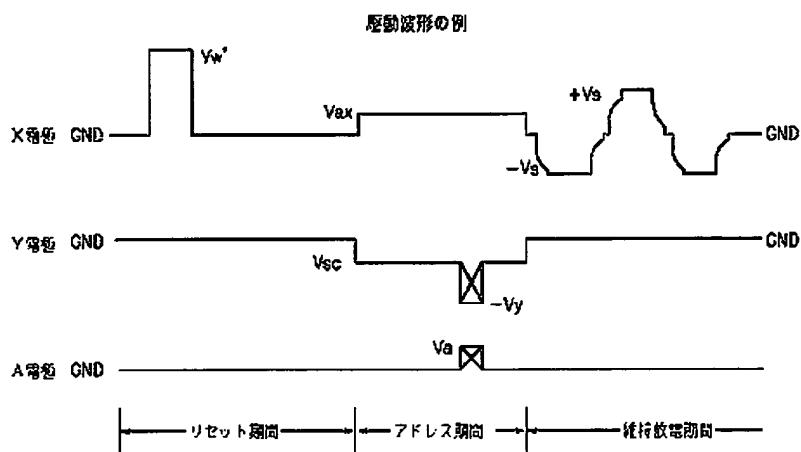
(75)

特許3201603

【図77】



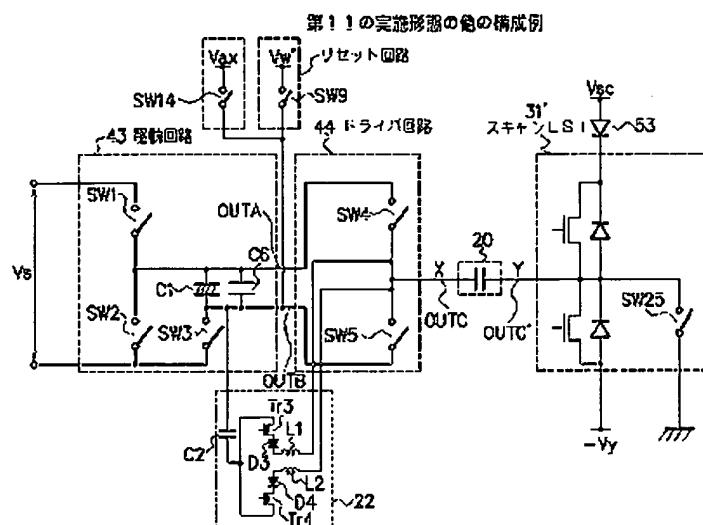
【図78】



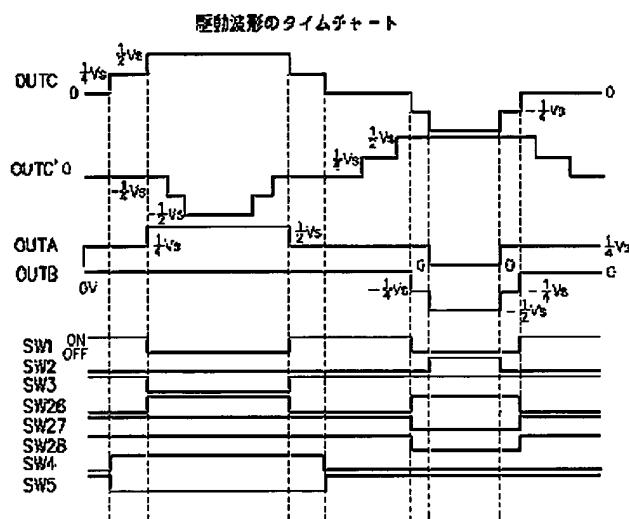
(76)

特許3201603

【図79】



【図84】



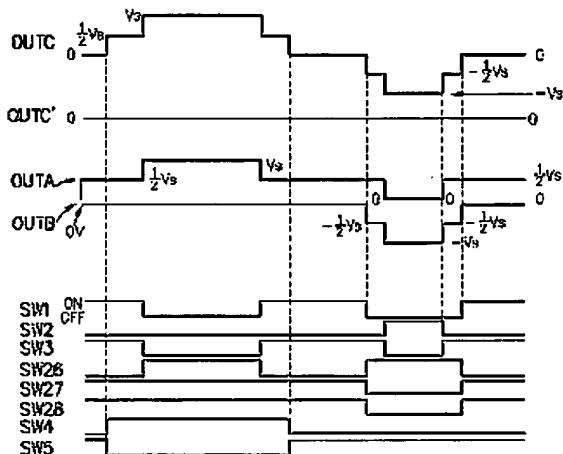
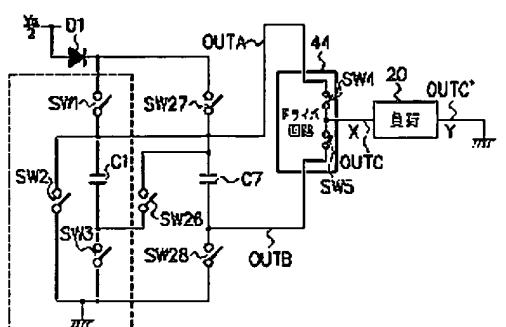
(77)

特許3201603

[图85]

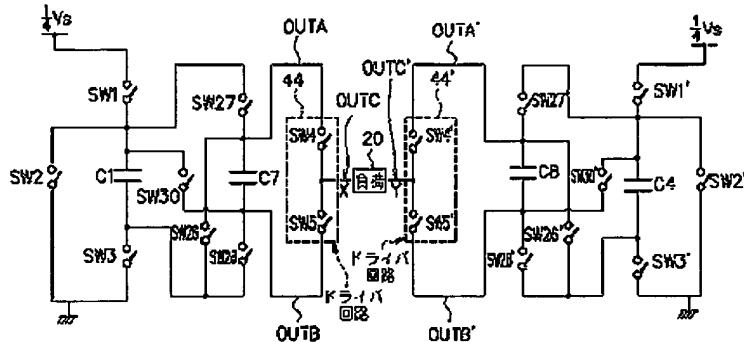
[図86]

第13の実施形態の他の構成



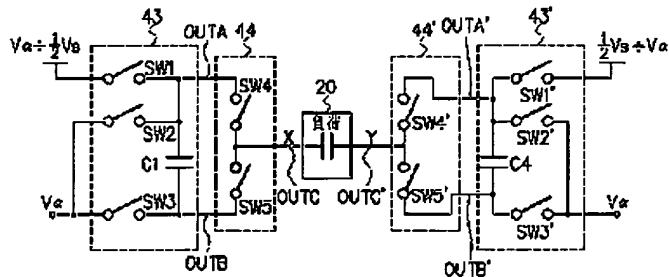
[图87]

第13の実施形態の他の構成例



[图96]

第15の實施形態

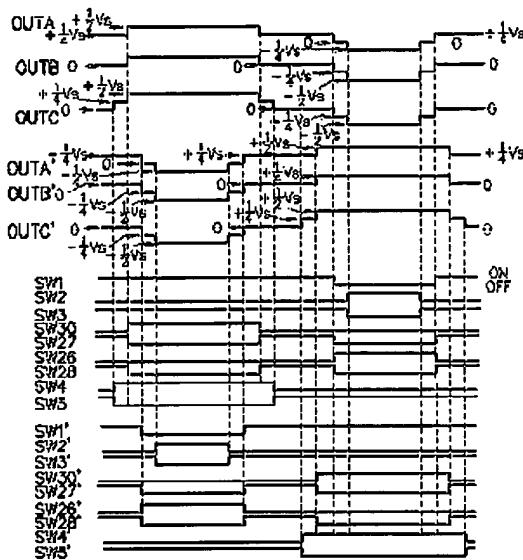


(78)

特許3201603

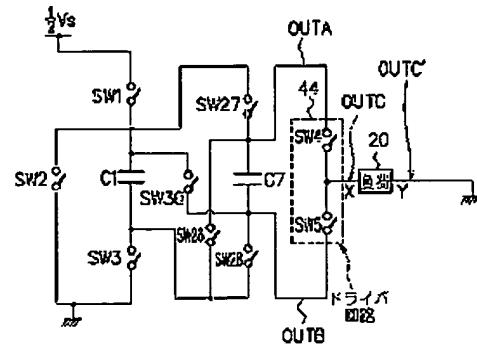
【図88】

駆動波形のタイムチャート



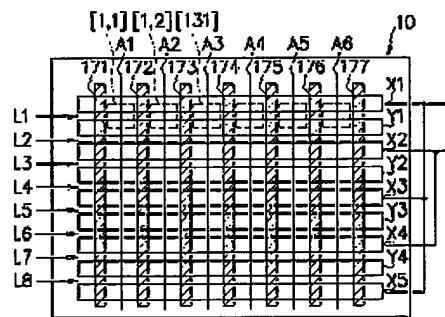
【図89】

第13の実施形態の他の構成例



【図93】

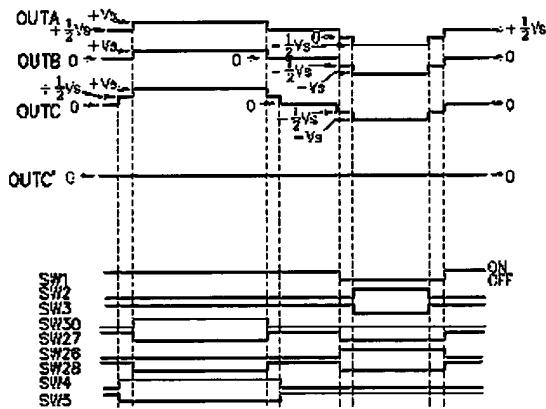
面放電型PDPの構成図



10:PDP
X1~X5: X電極
Y1~Y5: Y電極
A1~A6: アドレス電極
L1~L10: 表示行
171~177: 指定

【図90】

駆動波形のタイムチャート

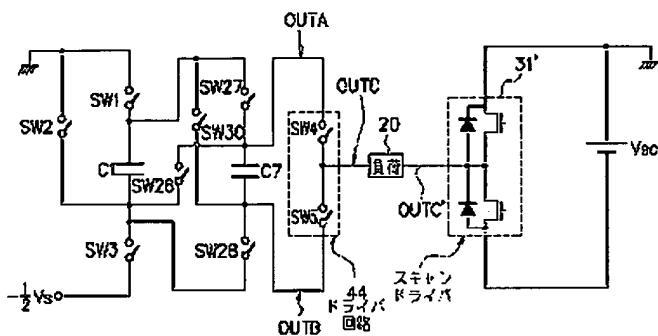


(79)

特許3201603

[圖91]

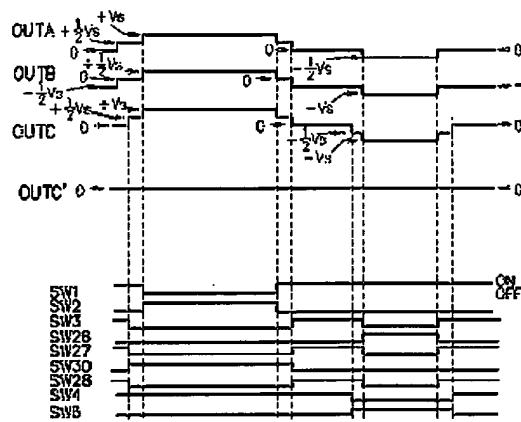
第13の実施形態の他の構成例



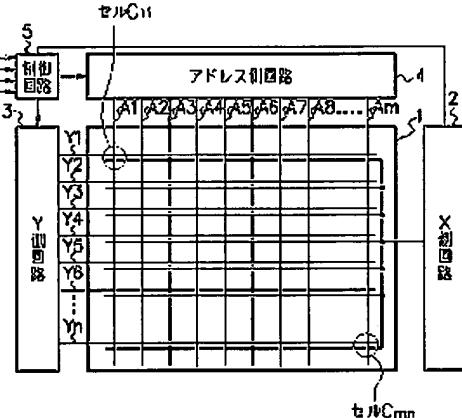
[图92]

[图99]

歴動波形のタイムチャート

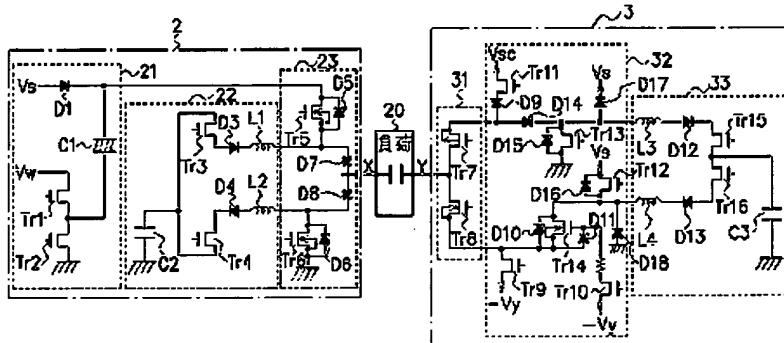


交流駆動型プラズマディスプレイ装置



【图102】

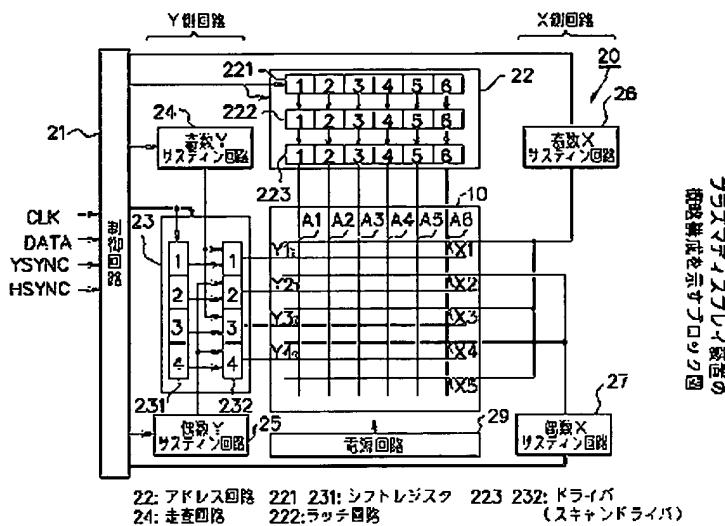
従来の駆動装置



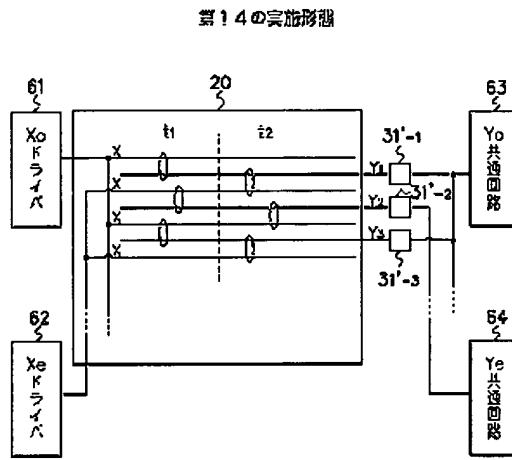
(80)

特許3201603

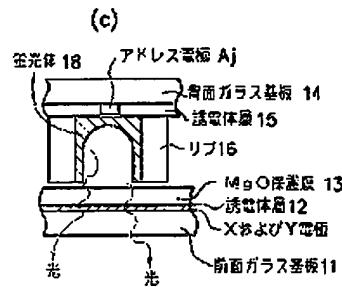
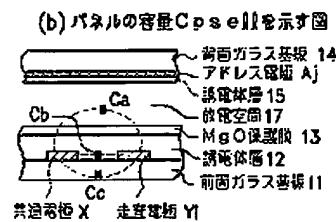
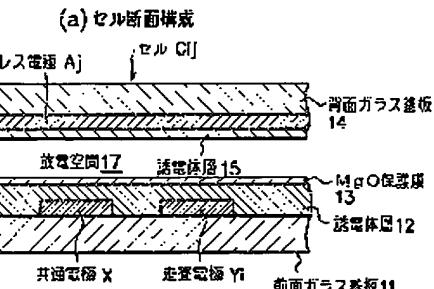
[図94]



[図95]



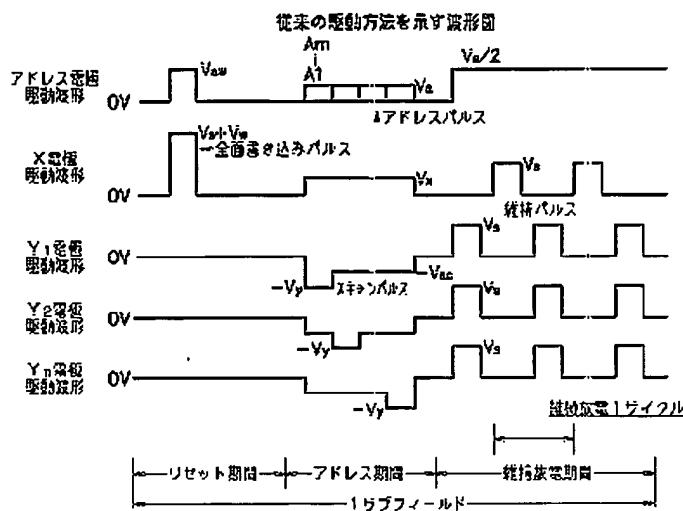
[図100]



(81)

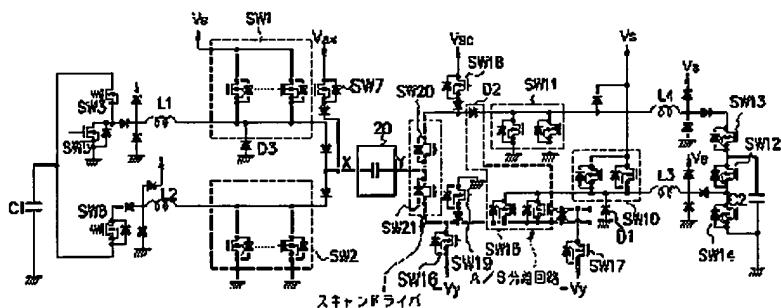
特許3201603

[图101]



[图103]

従来のY側の瞬順時走査回路および、X、Y側の放電の繰り返し用回路



フロントページの続き

(2) 発明者 宮尾 重寿

神奈川県川崎市高津区坂戸3丁目2番1号
富士道日立プラスマディスプレイ株式会社内

(55) 参考文献

特開 平7-140929 (JP, A)
特開 平9-68946 (JP, A)
特開 平11-202831 (JP, A)
特開 平11-259041 (JP, A)
特開2000-132141 (JP, A)
特表2000-513459 (JP, A)

(82)

特許3201603

(58)調査した分野(Int.Cl.) , DB名)

G09G 3/28

G09G 3/20

G09G 3/36